

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092739

(43)Date of publication of application : 04.04.1997

(51)Int.Cl. H01L 21/8247
H01L 29/788
H01L 29/792
H01L 27/115
H01L 29/78

(21)Application number : 08-164343

(71)Applicant : SHARP CORP

(22)Date of filing : 25.06.1996

(72)Inventor : YAMAUCHI YOSHIMITSU

(30)Priority

Priority number : 07163727
07177286

Priority date : 29.06.1995
13.07.1995

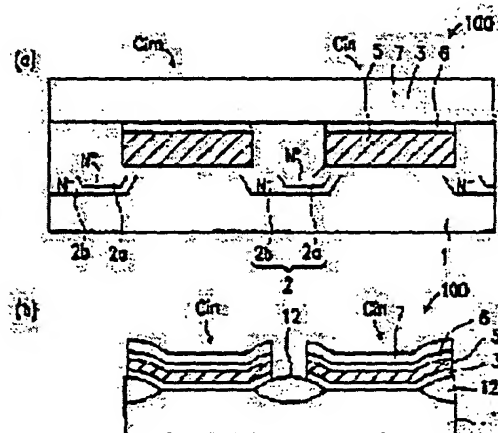
Priority country : JP
JP

(54) NONVOLATILE SEMICONDUCTOR MEMORY, DRIVE METHOD AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a nonvolatile semiconductor memory employing a pseudo- ground system in which writing and erasure are performed using an FN tunnel current by feeding a tunnel current only between a drain diffusion layer and the floating gate of one of two memory cells contiguous to a diffusion layer.

SOLUTION: The nonvolatile semiconductor memory comprises a semiconductor substrate 1, memory cells C formed thereon in matrix each comprising a first insulation film 3, a floating gate 5, a second insulation film 6, a control gate 7 and a diffusion region 2, word lines and bit lines. In such a nonvolatile semiconductor memory, a tunnel current flows between a drain diffusion layer 2a and the floating gate 5 of one of two memory cells contiguous to the diffusion layer 2 upon application of a predetermined voltage to the diffusion layer 2. The memory cell has such structure as no tunnel current flow between the diffusion layer 2 and the floating gate 5 of the other memory cell.



LEGAL STATUS

[Date of request for examination]

21.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-92739

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/8247			H01L 29/78	371
29/788			27/10	434
29/792			29/78	301S
27/115				
29/78				

審査請求 未請求 請求項の数17 OL (全 28 頁)

(21)出願番号 特願平8-164343
 (22)出願日 平成8年(1996)6月25日
 (31)優先権主張番号 特願平7-163727
 (32)優先日 平7(1995)6月29日
 (33)優先権主張国 日本(JP)
 (31)優先権主張番号 特願平7-177286
 (32)優先日 平7(1995)7月13日
 (33)優先権主張国 日本(JP)

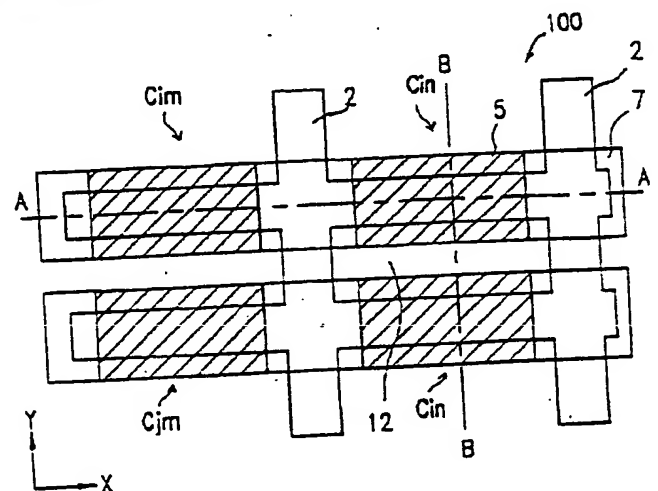
(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72)発明者 山内 祥光
 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
 (74)代理人 弁理士 山本 秀策

(54)【発明の名称】 不揮発性半導体メモリとその駆動方法及び製造方法

(57)【要約】

【課題】 トンネル電流を用いる消去動作を行い、且つ仮想接地方式を採用できる不揮発性半導体メモリと、その駆動方法及び製造方法とを提供する。

【解決手段】 半導体基板上にマトリクス状に配列され、半導体基板上に第1の絶縁膜を介して形成された浮遊ゲートを有する複数のメモリセルと、第1の方向に沿って隣接する2つメモリセルの間に形成された拡散層と、第1の方向に沿って隣接するメモリセルの各制御ゲートを接続して形成されたワードラインと、第2の方向に沿って隣接する拡散層を接続して形成されたビットラインと、を有する不揮発性半導体メモリであって、拡散層に印加される電圧の所定の領域において、一方のメモリセルの浮遊ゲートとドレイン拡散領域との間には第1の絶縁膜を介してトンネル電流が流れ、且つ拡散層と他方のメモリセルの浮遊ゲートとの間にはトンネル電流が流れない構造を持ったメモリセルを有することを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 半導体基板と、

該半導体基板上にマトリクス状に形成された複数のメモリセルであって、各々が、該半導体基板との間に形成された第1の絶縁膜と、該第1の絶縁膜上に形成された浮遊ゲートと、該浮遊ゲート上に第2の絶縁膜を介して形成された制御ゲートと、ソース及びドレイン拡散領域と、を含むメモリセルと、

第1の方向に沿って隣接する2つメモリセルの間の該半導体基板上に形成され、該2つのメモリセルの一方のメモリセルに対するドレイン拡散領域と、他方のメモリセルに対するソース拡散領域とを含む拡散層と、

該第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、

該第1の方向に実質的に直交する第2の方向に沿って隣接する該拡散層を接続して形成されたビッドラインと、を有する不揮発性半導体メモリにおいて、

該拡散層に印加される所定の電圧に対し、該拡散層と該隣接する2つのメモリセルの一方のメモリセルの浮遊ゲートとドレイン拡散領域との間には第1の絶縁膜を介してトンネル電流が流れ、且つ該拡散層と他方のメモリセルの浮遊ゲートとの間にはトンネル電流が流れない構造をもったメモリセルを有することを特徴とする、不揮発性半導体メモリ。

【請求項2】 前記メモリセルは、前記ソース拡散領域と前記ドレイン拡散領域との間に不純物濃度差を有する、請求項1に記載の不揮発性半導体メモリ。

【請求項3】 前記拡散層は、外側の方が不純物濃度が低い2重拡散層構造を有する、請求項2に記載の不揮発性半導体メモリ。

【請求項4】 前記第1の絶縁膜は、トンネル領域を形成しない第1の部分と、トンネル領域を形成する第2の部分と、を含んでおり、

各メモリセルにおいて、前記ドレイン拡散領域は該第2の部分の部分を介して前記浮遊ゲートと容量結合し、前記ソース拡散領域は該第1の部分の部分を介して該浮遊ゲートと容量結合している、請求項1に記載の不揮発性半導体メモリ。

【請求項5】 前記第1の絶縁膜において、前記トンネル領域を形成しない第1の部分の膜厚は、前記トンネル領域を形成する前記第2の部分の膜厚よりも厚い、請求項4に記載の不揮発性半導体メモリ。

【請求項6】 第1の導電型の半導体基板上にトンネル絶縁膜を形成する工程と、

該半導体基板上に堆積した第1の導電層をパターンニングすることにより、所定の幅を有する第1の導電層パターンを形成する工程と、

該第1の導電層パターンをマスクとして第2の導電型の不純物を注入することにより、該半導体基板上に第1の拡散層を形成する工程と、

該第1の拡散層を形成するためのイオン注入とは注入条件を変えて第2の導電型の不純物を注入することにより、該第1の拡散層に連続し、該第1の拡散層よりも高濃度の第2の拡散層を形成する工程と、

該第1の導電層パターンの上に絶縁膜、さらにその上に第2の導電層を形成し、パターン形成する工程と、該第2の導電層、前記絶縁膜、及び前記第1の導電層がパターンニングされ、そのことにより、各々、制御ゲート、絶縁層、及び浮遊ゲートが形成される工程と、を含む、不揮発性半導体メモリの製造方法。

【請求項7】 前記第2の拡散層を形成する工程は、第2の幅を有するマスクを用いて行なわれ、前記第2の導電型の不純物が前記第1の拡散層内の所定の領域に注入される、請求項6に記載の不揮発性半導体メモリの製造方法。

【請求項8】 前記第1の拡散層を形成する工程において、前記第2の導電型の不純物は、前記第1の導電層パターンによるマスクの露出部の一方の側に向かって所定の角度で注入され、

前記第2の拡散層を形成する工程において、前記第2の導電型の不純物は、該第1の導電層パターンによるマスクの露出部の他方の側に向かって所定の角度で注入される、

請求項6に記載の不揮発性半導体メモリの製造方法。

【請求項9】 第1の導電型の半導体基板上に第1の絶縁膜を形成する工程と、

第1の開口を有する第1のレジストパターンをマスクとして、該半導体基板上に第2の導電型の不純物を注入し、ドレイン拡散層を形成する工程と、

トンネル領域に対応する第2の開口を有する第2のレジストパターンをマスクとして、該第1の絶縁膜を除去する工程と、

該第2のレジストパターンを除去した後、該半導体基板上に第2の絶縁膜を形成することにより、該第1の絶縁膜が除去された該トンネル領域にトンネル絶縁膜を形成する工程と、

該トンネル絶縁膜が形成された該トンネル領域を覆うように、所定の幅を有する第1の導電層をパターン形成する工程と、

該第1の導電層をマスクとして該半導体基板上に第2の導電型の不純物を注入し、該ドレイン拡散層と接続したソース拡散層を形成する工程と、

第3の絶縁膜を形成し、その上に第2の導電層をパターン形成する工程と、を含む、不揮発性半導体メモリの製造方法。

【請求項10】 第1の導電型の半導体基板上に第1の絶縁膜を形成する工程と、

トンネル領域に対応する開口を有するレジストパターンをマスクとして、該半導体基板上に第2の導電型の不純物を注入し、ドレイン拡散層を形成する工程と、

該レジストパターンをマスクとして該第1の絶縁膜を除去する工程と、

該レジストパターンを除去した後、該半導体基板上に第2の絶縁膜を形成することにより、該第1の絶縁膜が除去された該トンネル領域にトンネル絶縁膜を形成する工程と、

該トンネル絶縁膜が形成された該トンネル領域を覆うように、所定の幅を有する第1の導電層をパターン形成する工程と、

該第1の導電層をマスクとして、該半導体基板に所定の角度で第2の導電型の不純物を注入し、該ドレイン拡散層と接続したソース拡散層を形成する工程と、

第3の絶縁膜を形成し、その上に第2の導電層をパターン形成する工程と、を含む、不揮発性半導体メモリの製造方法。

【請求項11】 第1の導電型の半導体基板上に、第1の絶縁膜を形成する工程と、

該第1の絶縁膜上に第1の幅を有する第1の窒化膜をパターン形成する工程と、

該第1の窒化膜を酸化膜で覆い、且つ該第1の窒化膜の両側壁にスペーサを形成する工程であって、該両側壁の一方のスペーサがトンネル領域を形成する部分に対応している、工程と、

該第1の窒化膜及びその両側壁の該スペーサをマスクとして、第2の導電型の不純物を注入し、拡散層を形成する工程と、

該第1の窒化膜の他方の側壁の該スペーサを除去する工程と、

該第1の窒化膜及び該スペーサをマスクとして、該第1の絶縁膜よりも厚い第2の絶縁膜を選択的に形成する工程と、

該第1の窒化膜の該一方の側壁の該スペーサ及びその下の該第1の絶縁膜を除去する工程と、

該他方の側壁の該スペーサ及び該第1の絶縁膜が除去された領域に熱酸化膜を形成する工程と、

該第1の窒化膜を除去する工程と、

該熱酸化膜を除去する工程と、

該熱酸化膜を除去した領域にトンネル絶縁膜を形成し、トンネル領域を形成する工程と、

該トンネル領域を覆うように、浮遊ゲートを形成する工程と、を含む、不揮発性半導体メモリの製造方法。

【請求項12】 トンネル電流を用いて書き込み及び消去が行なわれる不揮発性半導体メモリであって、該不揮発性半導体メモリは、

半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、

第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、

該第1の方向に沿って隣接するメモリセルの間に形成さ

れた拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、

所定の数の第1のビットラインに対して備えられた第2のビットラインと、

各第1のビットラインに対して備えられ、該第1のビットラインを対応する該第2のビットラインに選択的に接続する選択トランジスタと、

を備えており、

10 該選択トランジスタは、選択されたブロック以外のブロックに含まれる該第1のビットラインをフローティング状態にし、選択されたブロックに含まれる該第1のビットラインを該第2のビットラインに電気的に接続し、そのことにより、ブロック毎に消去動作が行なわれる、請求項1に記載の不揮発性半導体メモリ。

【請求項13】 前記複数のブロックは、前記半導体基板の1つのウェル領域内に形成されている、請求項12に記載の不揮発性半導体メモリ。

20 【請求項14】 半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、

第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、

該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、

所定の数の第1のビットラインに対して備えられた第2のビットラインと、

30 各第1のビットラインに対して備えられ、該第1のビットラインを対応する該第2のビットラインに選択的に接続する選択トランジスタと、

を備えた不揮発性半導体メモリの駆動方法であって、該方法は、

該選択トランジスタを制御して、選択されたブロックに含まれるメモリセルに接続する該第1のビットラインを対応する該第2のビットラインに電気的に接続し、それ以外の該第1のビットラインをフローティング状態にするステップと、

40 該第1のビットライン及び該半導体基板に所定の負の電圧を印加するステップと、

該選択されたブロックのワードラインに所定の正電圧を印加し、該選択されたブロック以外のブロックのワードラインを接地電圧にするステップと、

そのことにより、該選択されたブロックに含まれる該メモリセルのデータをトンネル電流によって消去するステップと、

を含んでいる、不揮発性半導体メモリの駆動方法。

50 【請求項15】 半導体基板上にマトリクス状に形成された複数のメモリセルと、

(4)

第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、
 該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、
 N本の第1のビットラインに対して1本の割合で備えられた第2のビットラインと、
 各第1のビットラインに対して備えられ、該第1のビットラインを対応する該第2のビットラインに選択的に接続する選択トランジスタと、
 該選択トランジスタをN回に分けて制御する信号線とを備えた不揮発性半導体メモリの駆動方法であって、該方法は、

(a) ワードラインを選択するステップと、
 (b) 書き込みを行うメモリセルのドレインに接続する第2のビットラインに所定の電位を供給するステップと、
 (c) 該信号線の1つを制御して該選択トランジスタを導通させ、該N本の第1のビットラインのうちの1つを選択して該第2のビットラインに接続し、該選択されたワードラインと該第2のビットラインに接続する第1のビットラインとに接続するメモリセルに、該選択された第2のビットライン上のデータを書き込むステップと、
 (d) ステップ(c)をN回繰り返すことにより、該選択された第2のビットラインに対応するN本の第1のビットラインと該ワードラインとに接続する全N個のメモリセルにデータを書き込むステップと、
 を含む不揮発性半導体メモリの駆動方法。

【請求項16】 半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、

第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、
 該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、

所定の数の第1のビットラインに対して備えられた第2のビットラインと、

各第1のビットラインに対して備えられ、該第1のビットラインを対応する該第2のビットラインに選択的に接続する選択トランジスタと、
 を備えた不揮発性半導体メモリの駆動方法であって、該方法は、

読み出しを行うメモリセルに接続するワードラインに所定の電圧を印加するステップと、

読み出しを行うメモリセルのソース拡散層に接続する第1のビットラインに所定の電圧を印加し、かつ該第1のビットラインと平行に存在する他の第1のビットライン

では、フローティング状態の第1のビットラインを介して、他の第1のビットラインにも該第1のビットラインと同じ電圧を印加するステップとを含む不揮発性半導体メモリの駆動方法。

【請求項17】 請求項1に記載のメモリセルにおいて、ソース拡散領域側に電圧を印加することで読み出しを行うことを特徴とする、不揮発性半導体メモリの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、Fowler-Nordheim (FN) トンネル電流によって、書き込み及び消去を行う不揮発性半導体メモリとその駆動方法及び製造方法とに関する。特に、フラッシュメモリと、その駆動方法及び製造方法とに関する。

【0002】

【従来の技術】 一般的なフラッシュメモリには、ホットエレクトロン注入によって書き込みを行うタイプと、FNトンネル電流によって書き込みを行うタイプとがある。

【0003】 図47は、ホットエレクトロン注入によって書き込みを行う従来のフラッシュメモリ500のメモリセルの断面を示している。図48は、フラッシュメモリ500のメモリセルアレイの等価回路を示している。

【0004】 図47に示すように、フラッシュメモリ500においては、半導体基板151上にトンネル絶縁膜153が形成され、その上に浮遊ゲート155が形成されている。浮遊ゲート155を覆うように、ONO (SiO₂/SiN/SiO₂) 膜などの絶縁膜156が形成され、その上に制御ゲート157が配置されている。図48に示すように、各メモリセル(図48には、メモリセルC₅₁~C₅₃及びC₆₁~C₆₃が示されている)はマトリクス状に配置されている。図47中X方向に隣接する各メモリセルの制御ゲート157は互いに電氣的に接続されており、ワード線WLを形成している(図48には、ワードラインWL₁及びWL₂が示されている)。

【0005】 また、図47に示すように、X方向に隣接する2つのメモリセルの間に形成された不純物拡散層161は、一方のメモリセルのソース拡散層159と、他方のメモリセルのドレイン拡散層160とによって共有されている(ソース/ドレイン拡散層)。このようなソース/ドレイン拡散層は、製造工程途中でストライプ状に加工された浮遊ゲートとなる膜をマスクとしてイオン注入することにより、自己整合的に形成される。

【0006】 図48に示すように、ビットラインBL

(図48には、ビットラインBL₁~BL₄が示されている)は、Y方向に延長し、Y方向に隣接する拡散層161を電氣的に接続している。各ビットラインは、選択されるメモリセルに応じて、ソース配線あるいはドレイン配線として働く。このように、各ビットラインがソース

50

(5)

配線及びドレイン配線の何れかに固定されず、ソース配線（接地線）とドレイン配線とが適宜入れ代わる駆動方式を仮想接地（virtual ground）方式という。

【0007】このような仮想接地方式のメモリセルアレイにおいては、上述のように、X方向に隣接するメモリセルのソース拡散層159及びドレイン拡散層160が1つの不純物拡散層161から構成されているため、X方向に隣接するメモリセルのソース拡散層159とドレイン拡散層160との間に分離領域を形成する必要がない。更に、ビットラインBLを、各不純物拡散層161を接続する拡散配線によって形成できるため、各メモリセルに接続するビットラインBL用のコンタクト領域を形成する必要がなく、メモリの高集積化が可能である。

【0008】また、図51に示すように、X方向に隣接するメモリセルを対にし、各対においてソースラインSLを共有させ、並列読み出しや並列書き込みを可能とした構造が、例えば特開平2-231772号公報に記載されている。

【0009】フラッシュメモリ500における書き込み動作は以下のようにして行なわれる。書き込み動作を行うメモリセルとして、メモリセルC₅₂が選択された場合（以下、「選択セル」とする）について説明する。まず選択セルC₅₂に接続するワードラインWL₁に高電圧を印加する。同時に、選択セルC₅₂のドレイン側に接続する一方のビットライン（例えば、BL₂）に所定の電圧を印加し、ソース側に接続する他方のビットライン（例えば、BL₃）に0V（接地電圧）を印加する。このことにより、選択セルC₅₂のチャネル領域で発生したホットエレクトロンが浮遊ゲート155に注入され、データの書き込みが行われる。このとき、書き込みを行わないメモリセル（以下、「非選択セル」とする）が接続する2つのビットラインには、2つのビットラインの電位が同じになるように電圧が印加される。例えば、非選択セルC₅₁に対しては、ビットラインBL₃の電位とBL₄の電位とが等しくなるように電圧が印加される。

【0010】また、フラッシュメモリ500における消去動作は以下のようにして行なわれる。ワードラインWLに負の電圧を印加し、同時に、全てのビットラインBL（あるいは、メモリセルアレイがブロックに分割されている場合には、ブロック内のビットライン）に所定の正の電圧を印加する。このことにより、FNTトンネル電流が流れて、浮遊ゲート155に蓄積された電荷が引き抜かれ、全メモリセル（ブロック内の全てのメモリセル）のデータが一括消去される。

【0011】また、フラッシュメモリ500における読み出し動作は以下のようにして行なわれる。読み出しを行う選択セルに接続するワードラインWLに所定の電圧を印加する。同時に、選択セルに接続する一方のビットラインに所定の電圧を印加し、他方のビットラインに0V（接地電圧）を印加する。浮遊ゲート155に保持さ

れている電荷の量（すなわちデータ）によってビットライン間に流れる電流が異なるため、この電流を検出することによりデータの読み出しを行うことができる。このとき、読み出しを行わない非選択セルが接続する2つのビットラインには、書き込み動作の場合と同様、2つのビットラインの電位が同じになるように電圧が印加される。

【0012】上述のような、チャネルホットエレクトロン注入による書き込みは、一般に、電子の注入効率（書き込み効率）が悪い。また、書き込み電流が大きいため（約1mA程度）、書き込み時の消費電力が大きくなるという問題がある。また、比較的大きな書き込み電流を供給するために高電圧電源（あるいは昇圧回路）を必要とし、フラッシュメモリ500における駆動電圧の低下及び単一電源化の妨げとなっている。

【0013】一方、FNTトンネル電流を用いる書き込み方式のフラッシュメモリは、その書き込み電流が数10nA程度であるため、単一電源化に適している。図49は、FNTトンネル電流を用いて書き込みを行う従来のフラッシュメモリ600のメモリセルの断面を示している。フラッシュメモリ500と同様の構成要素には同一の図面参照番号を付している。図50は、フラッシュメモリ600のメモリセルアレイの等価回路を示している。

【0014】図49に示すように、フラッシュメモリ600においては、半導体基板151上にトンネル絶縁膜153が形成され、その上に浮遊ゲート155が形成されている。浮遊ゲート155の下にトンネル絶縁膜153は、一様な酸化膜で構成されている。浮遊ゲート155の両端部には、ソース拡散層159及びドレイン拡散層160が形成されている。隣接するメモリセル間には素子分離膜162が形成されており、隣接するメモリセルのソース拡散層159とドレイン拡散層160とを分離している。また、浮遊ゲート155を覆うように、ONO（SiO₂/SiN/SiO₂）膜156が形成され、その上に制御ゲート157が配置されている。

【0015】図50に示すように、各メモリセル（図50には、メモリセルC₇₁〜C₇₃及びC₈₁〜C₈₃が示されている）はマトリクス状に配置されている。図50中X方向に隣接する各メモリセルの制御ゲート157は互いに電気的に接続されており、ワード線WLを形成している（図50には、ワードラインWL₁及びWL₂が示されている）。ビットラインBL（図50には、ビットラインBL₁〜BL₆が示されている）は、Y方向に延長し、対応するソース拡散層159あるいはドレイン拡散層160を電気的に接続している。各ビットラインBLの機能は、ソース配線あるいはドレイン配線のいずれかに固定されている。

【0016】フラッシュメモリ600においては、データの書き込みは、ワードラインWLに負の電圧または0

(6)

Vを印加し、ドレイン拡散層160に正の電圧を印加することにより、浮遊ゲート155から電子を引き抜くことによって行なわれる。データの消去は、ワードラインWLに正の高電圧を印加し、ソース拡散層159及びドレイン拡散層160に0Vを印加して、ワードラインWLに接続される全メモリセルの浮遊ゲートに電子を注入することによって行なわれる。

【0017】また、FNトンネル電流を用いた他のフラッシュメモリ700の例を、図51に示す。図49の例では各々のドレイン拡散層及びソース拡散層を分離しているが、ドレイン拡散層は個々のトランジスタ毎に分離し、Y方向に隣接するドレイン拡散層を接続してビットラインとし、ソース拡散層をX方向に隣接する一対のメモリセル間で共有させ、Y方向に延長するソースラインとしてもよい。

【0018】

【発明が解決しようとする課題】上述のように、FNトンネル電流によって書き込みを行うメモリセルでは、トンネル絶縁膜153に印加される電界によって生じるトンネル電流を利用している。そのため、図49に示されるメモリセルを用いて図48のようにX方向に隣接するメモリセル間で拡散層を共有すると、書き込みを行うメモリセルのドレイン拡散層と拡散層を共有し、かつ同一のワードラインに接続する非選択メモリセルにまでデータの書き込みが行われてしまう。従って、図49に示されるように素子分離膜162を設け、図50や図51のようにX方向に隣接するメモリセルの少なくともドレイン拡散層160を分離しておく必要がある。このように、FNトンネル電流による書き込みを行う従来のフラッシュメモリにおいては、仮想接地方式を採用することができず、フラッシュメモリの微細化の妨げになっている。

【0019】また、図49に示されるように、トンネル絶縁膜153が比較的薄いため、書き込み時においてドレイン拡散層160表面に比較的高い電圧が印加された場合、バンド間トンネル現象によって、書き込み電流の 10^6 倍もの電流がドレイン拡散層160の端部から基板151側に流れてしまう場合がある。

【0020】また、トンネル絶縁膜153が薄くなると、浮遊ゲート・基板間の容量が大きくなるため、制御ゲートの容量結合比(coupling ratio)を大きくすることが困難となる。更に、書き込み時に制御ゲート電極に印加する高電圧に対するディスターブ・マージンが小さくなる。

【0021】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、FNトンネル電流によって書き込み及び消去を行い、かつ仮想接地方式を採用した不揮発性半導体メモリとその駆動方法、及びその製造方法を提供することにある。そして、書き込み時において半導体基板へ流れる電流を低減し、高い書き込み

効率と信頼性とを有する不揮発性半導体メモリを実現する。

【0022】

【課題を解決するための手段】本発明による不揮発性半導体メモリは、半導体基板と、該半導体基板上にマトリクス状に形成された複数のメモリセルであって、各々が、該半導体基板との間に形成された第1の絶縁膜と、該第1の絶縁膜上に形成された浮遊ゲートと、該浮遊ゲート上に第2の絶縁膜を介して形成された制御ゲートと、ソース及びドレイン拡散領域と、を含むメモリセルと、第1の方向に沿って隣接する2つメモリセルの間の該半導体基板に形成され、該2つのメモリセルの一方のメモリセルに対するドレイン拡散領域と、他方のメモリセルに対するソース拡散領域とを含む拡散層と、該第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、該第1の方向に実質的に直交する第2の方向に沿って隣接する該拡散層を接続して形成されたビットラインと、を有している。該拡散層に印加される所定の電圧に対し、該拡散層と該隣接する2つのメモリセルの一方のメモリセルの浮遊ゲートとドレイン拡散層との間には第1の絶縁膜を介してトンネル電流が流れ、且つ該拡散層と他方のメモリセルの浮遊ゲートとの間にはトンネル電流が流れない構造をもったメモリセルを有することを特徴とし、そのことにより上記目的が達成される。

【0023】1つの実施形態において、前記メモリセルは、前記ソース拡散領域と前記ドレイン拡散領域との間に不純物濃度差を有していてもよい。

【0024】1つの実施形態において、前記拡散層は、外側の方が不純物濃度が低い2重拡散層構造を有していてもよい。

【0025】1つの実施形態において、前記第1の絶縁膜は、トンネル領域を形成しない第1の部分と、トンネル領域を形成する第2の部分と、を含んでおり、各メモリセルにおいて、前記ドレイン拡散領域は該第2の部分の介して前記浮遊ゲートと容量結合し、前記ソース拡散領域は該第1の部分の介して該浮遊ゲートと容量結合している場合がある。

【0026】好ましくは、前記第1の絶縁膜において、前記トンネル領域を形成しない第1の部分の膜厚は、前記トンネル領域を形成する前記第2の部分の膜厚よりも厚い。

【0027】本発明による不揮発性半導体メモリの製造方法は、第1の導電型の半導体基板上にトンネル絶縁膜を形成する工程と、該半導体基板上に堆積した第1の導電層をパターンニングすることにより、所定の幅を有する第1の導電層パターンを形成する工程と、該第1の導電層パターンをマスクとして第2の導電型の不純物を注入することにより、該半導体基板に第1の拡散層を形成する工程と、該第1の拡散層を形成するためのイオン注入

とは注入条件を変えて第2の導電型の不純物を注入することにより、該第1の拡散層に連続し、該第1の拡散層よりも高濃度の第2の拡散層を形成する工程と、該第1の導電層パターンの上に絶縁膜、さらにその上に第2の導電層を形成し、パターン形成する工程と、該第2の導電層、前記絶縁膜、及び前記第1の導電層がパターンニングされ、そのことにより、各々、制御ゲート、絶縁層、及び浮遊ゲートが形成される工程と、を含んでおり、そのことにより上記目的が達成される。

【0028】1つの実施形態において、前記第2の拡散層を形成する工程は、第2の幅を有するマスクを用いて行なわれ、前記第2の導電型の不純物が前記第1の拡散層内の所定の領域に注入される場合がある。

【0029】1つの実施形態によれば、前記第1の拡散層を形成する工程において、前記第2の導電型の不純物は、前記第1の導電層パターンによるマスクの露出部の一方の側に向かって所定の角度で注入され、前記第2の拡散層を形成する工程において、前記第2の導電型の不純物は、該第1の導電層パターンによるマスクの露出部の他方の側に向かって所定の角度で注入される場合がある。

【0030】本発明による不揮発性半導体メモリの製造方法は、第1の導電型の半導体基板上に第1の絶縁膜を形成する工程と、第1の開口を有する第1のレジストパターンをマスクとして、該半導体基板に第2の導電型の不純物を注入し、ドレイン拡散層を形成する工程と、トンネル領域に対応する第2の開口を有する第2のレジストパターンをマスクとして、該第1の絶縁膜を除去する工程と、該第2のレジストパターンを除去した後、該半導体基板上に第2の絶縁膜を形成することにより、該第1の絶縁膜が除去された該トンネル領域にトンネル絶縁膜を形成する工程と、該トンネル絶縁膜が形成された該トンネル領域を覆うように、所定の幅を有する第1の導電層をパターン形成する工程と、該第1の導電層をマスクとして該半導体基板に第2の導電型の不純物を注入し、該ドレイン拡散層と接続したソース拡散層を形成する工程と、第3の絶縁膜を形成し、その上に第2の導電層をパターン形成する工程と、を含んでおり、そのことにより上記目的が達成される。

【0031】あるいは、本発明による不揮発性半導体メモリの製造方法は、第1の導電型の半導体基板上に第1の絶縁膜を形成する工程と、トンネル領域に対応する開口を有するレジストパターンをマスクとして、該半導体基板に第2の導電型の不純物を注入し、ドレイン拡散層を形成する工程と、該レジストパターンをマスクとして該第1の絶縁膜を除去する工程と、該レジストパターンを除去した後、該半導体基板上に第2の絶縁膜を形成することにより、該第1の絶縁膜が除去された該トンネル領域にトンネル絶縁膜を形成する工程と、該トンネル絶縁膜が形成された該トンネル領域を覆うように、所定の

幅を有する第1の導電層をパターン形成する工程と、該第1の導電層をマスクとして、該半導体基板に所定の角度で第2の導電型の不純物を注入し、該ドレイン拡散層と接続したソース拡散層を形成する工程と、第3の絶縁膜を形成し、その上に第2の導電層をパターン形成する工程と、を含んでおり、そのことにより上記目的が達成される。

【0032】あるいは、本発明による不揮発性半導体メモリの製造方法は、第1の導電型の半導体基板上に、第1の絶縁膜を形成する工程と、該第1の絶縁膜上に第1の幅を有する第1の窒化膜をパターン形成する工程と、該第1の窒化膜を酸化膜で覆い、且つ該第1の窒化膜の両側壁にスペーサを形成する工程であって、該両側壁の一方のスペーサがトンネル領域を形成する部分に対応している、工程と、該第1の窒化膜及びその両側壁の該スペーサをマスクとして、第2の導電型の不純物を注入し、拡散層を形成する工程と、該第1の窒化膜の他方の側壁の該スペーサを除去する工程と、該第1の窒化膜及び該スペーサをマスクとして、該第1の絶縁膜よりも厚い第2の絶縁膜を選択的に形成する工程と、該第1の窒化膜の該一方の側壁の該スペーサ及びその下の該第1の絶縁膜を除去する工程と、該他方の側壁の該スペーサ及び該第1の絶縁膜が除去された領域に熱酸化膜を形成する工程と、該第1の窒化膜を除去する工程と、該熱酸化膜を除去する工程と、該熱酸化膜を除去した領域にトンネル絶縁膜を形成し、トンネル領域を形成する工程と、該トンネル領域を覆うように、浮遊ゲートを形成する工程と、を含んでおり、そのことにより上記目的が達成される。

【0033】本発明による不揮発性半導体メモリは、トンネル電流を用いて書き込み及び消去が行なわれる不揮発性半導体メモリであって、半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、所定の数の第1のビットラインに対して備えられた第2のビットラインと、各第1のビットラインに対して備えられ、該第1のビットラインに対応する該第2のビットラインに選択的に接続する選択トランジスタと、を備えており、該選択トランジスタは、選択されたブロック以外のブロックに含まれる該第1のビットラインをフローティング状態にし、選択されたブロックに含まれる該第1のビットラインを該第2のビットラインに電気的に接続し、そのことにより、ブロック毎に消去動作が行なわれ、そのことにより上記目的が達成される。

【0034】1つの実施形態において、前記複数のブ

(8)

ックは、前記半導体基板の1つのウェル領域内に形成されている場合がある。

【0035】本発明による不揮発性半導体メモリの駆動方法は、半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、所定の数の第1のビットラインに対して備えられた第2のビットラインと、各第1のビットラインに対して備えられ、該第1のビットラインに対応する該第2のビットラインに選択的に接続する選択トランジスタと、を備えた不揮発性半導体メモリの駆動方法である。該方法は、該選択トランジスタを制御して、選択されたブロックに含まれるメモリセルに接続する該第1のビットラインに対応する該第2のビットラインに電氣的に接続し、それ以外の該第1のビットラインをフローティング状態にするステップと、該第1のビットライン及び該半導体基板上に所定の負の電圧を印加するステップと、該選択されたブロックのワードラインに所定の正電圧を印加し、該選択されたブロック以外のブロックのワードラインを接地電圧にするステップと、そのことにより、該選択されたブロックに含まれる該メモリセルのデータをトンネル電流によって消去するステップと、を含んでおり、そのことにより上記目的が達成される。

【0036】本発明による不揮発性半導体メモリの駆動方法は、半導体基板上にマトリクス状に形成された複数のメモリセルと、第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、N本の第1のビットラインに対して1本の割合で備えられた第2のビットラインと、各第1のビットラインに対して備えられ、該第1のビットラインに対応する該第2のビットラインに選択的に接続する選択トランジスタと、該選択トランジスタをN回に分けて制御する信号線とを備えた不揮発性半導体メモリの駆動方法である。該方法は、(a)ワードラインを選択するステップと、(b)書き込みを行うメモリセルのドレインに接続する第2のビットラインに所定の電位を供給するステップと、(c)該信号線の1つを制御して該選択トランジスタを導通させ、該N本の第1のビットラインのうちの1つを選択して該第2のビットラインに接続し、該選択されたワードラインと該第2のビットラインに接続する第1のビットラインとに接続するメモリセルに、該選択された第2のビットライン上のデータを書き込むステップと、(d)ステップ(c)をN回繰り返すことによ

り、該選択された第2のビットラインに対応するN本の第1のビットラインと該ワードラインとに接続する全N個のメモリセルにデータを書き込むステップと、を含んでおり、そのことにより上記目的が達成される。

【0037】本発明による不揮発性半導体メモリの駆動方法は、半導体基板上にマトリクス状に形成された複数のメモリセルであって、複数のブロックに分割されたメモリセルと、第1の方向に沿って隣接する該メモリセルの各制御ゲートを接続して形成されたワードラインと、該第1の方向に沿って隣接するメモリセルの間に形成された拡散層を、該第1の方向に実質的に直交する第2の方向に沿って接続して形成された第1のビットラインと、所定の数の第1のビットラインに対して備えられた第2のビットラインと、各第1のビットラインに対して備えられ、該第1のビットラインに対応する該第2のビットラインに選択的に接続する選択トランジスタと、を備えた不揮発性半導体メモリの駆動方法である。該方法は、読み出しを行うメモリセルに接続するワードラインに所定の電圧を印加するステップと、読み出しを行うメモリセルのソース拡散層に接続する第1のビットラインに所定の電圧を印加し、かつ該第1のビットラインと平行に存在する他の第1のビットラインでは、フローティング状態の第1のビットラインを介して、他の第1のビットラインにも該第1のビットラインと同じ電圧を印加するステップと、を含んでおり、そのことにより上記目的が達成される。

【0038】以下、本発明の作用について説明する。

【0039】本発明においては、書き込み時に浮遊ゲートがソース拡散領域側とドレイン拡散領域側とで、非対称な結合容量を持った非対称メモリセルを用いているので、書き込み動作時、選択されたメモリセル（選択セル）のワードライン及びビットライン（ドレイン拡散層）に電圧を印加した場合、選択されたビットラインにソース拡散領域を接続する非選択セルには書き込みが起こらない。このような非対称メモリセルは、ドレイン拡散層をソース拡散層よりも不純物濃度を高くすることで実現できる。浮遊ゲートが高濃度ドレイン拡散層と容量結合しているため、浮遊ゲートとドレイン拡散層とでトンネル絶縁膜を介してトンネル電流が流れ易い。一方、ドレイン拡散層に印加される電圧と同じ電圧がソース拡散層に印加されても、浮遊ゲートが容量結合するソース拡散層側は不純物濃度が低いため、この低濃度拡散層表面が空乏化してトンネル絶縁膜に印加される電界が低下し、トンネル現象は生じない。従って、同じワードラインに接続し、ビットラインを共有している非選択セルにおいては、浮遊ゲートはビットラインにおける低濃度のソース拡散層に容量結合しているためトンネル電流は流れず、非選択セルに対する誤書き込みを回避できる。

【0040】また、このような非対称メモリセルは、ドレイン拡散層と浮遊ゲートとの間にのみトンネル絶縁膜

を形成することでも実現できる。選択セルのワードライン及びビットラインに電圧を印加した場合、選択セルの浮遊ゲートは膜厚の薄いトンネル絶縁膜を介してビットラインと容量結合しているため、トンネル電流が流れ易い。一方、同じワードラインに接続し、ビットラインを共有している非選択セルにおいては、浮遊ゲートは比較的膜厚の厚いゲート絶縁膜を介してビットラインと容量結合しているため、トンネル電流が生じない。従って、ビットラインを隣接するメモリセル間で共有する仮想接地方式を採用しても、トンネル電流による書き込みにおける非選択セルに対する誤書き込みを回避できる。

【0041】

【発明の実施の形態】以下、図面を参照しながら、本発明を実施の形態によって説明する。

【0042】（実施例1）図1は、本発明の第1の実施例による不揮発性半導体メモリ100のメモリセルアレイの一部を示す平面図である。図2（a）は、不揮発性半導体メモリ100の図1におけるA-A断面を示し、図2（b）はB-B断面を示している。

【0043】図1及び図2（a）及び（b）に示すように、不揮発性半導体メモリ100においては、半導体基板1上に複数のメモリセルCがマトリクス上に形成されている。図1において、各メモリセルCは C_{in} などとして示されている。各メモリセルCにおいて、半導体基板1上にトンネル絶縁膜3が形成され、その上に浮遊ゲート5が形成されている。

【0044】また、浮遊ゲート5上にはONO膜等の絶縁膜6を介して制御ゲート7が形成されている。制御ゲート7はメモリセルCのチャネル方向（図中X方向）に沿って延長しており、図3に示すように、X方向に並ぶメモリセルCを接続するワードラインWLとなつてい

る。

【0045】図1及び図2（a）に示すように、X方向に沿って隣接する2つメモリセル（例えば、 C_{im} 及び C_{in} ）の間には、拡散層2が形成されている。拡散層2は、隣接する2つのメモリセルの一方（例えば、 C_{im} ）に対するドレイン拡散層2aと、他方のメモリセル（例

えば、 C_{in} ）に対するソース拡散層2bとを含んでおり、隣接する2つのメモリセルによって拡散層2が共有されている。ドレイン拡散層2aの不純物濃度（ $N+$ ）は、ソース拡散層2bの不純物濃度（ $N-$ ）よりも高濃度に形成される。前記ドレイン拡散層2aは、浮遊ゲートとオーバーラップし、ソース拡散層2bを形成する不純物濃度が低い拡散領域の内部に形成された2重拡散層構造を有している。このような2重拡散層構造（DDD構造）をとることにより、ドレイン拡散層の接合耐圧を向上し、バンド間トンネル電流を緩和する。

【0046】2つの拡散層2の間の各メモリセルCにおいては、浮遊ゲート5は、一方の拡散層2のドレイン拡散層2aとトンネル絶縁膜3を介して容量結合し（ドレイン側）、他方の拡散層2のソース拡散層2bとトンネル絶縁膜3を介して容量結合している（ソース側）。尚、トンネル絶縁膜3は、シリコン酸化膜あるいはシリコン酸化膜とシリコン窒化膜との積層膜として形成することができる。

【0047】本実施例においては、Y方向に沿って並ぶ拡散層2は拡散層配線で接続されており、いわゆる埋めこみビットラインを形成している。各拡散層2は金属配線で電氣的に接続してもよい。ただし、その場合は、各拡散層2にコンタクト領域を形成する必要がある。また、図2（b）に示すように、Y方向に沿って隣接するメモリセル（例えば、 C_{in} 及び C_{jn} ）の間には、フィールド酸化膜（素子分離膜）12が形成されている。

【0048】図3の等価回路にも示されるように、不揮発性半導体メモリ100は、仮想接地方式を採用しており、各ビットラインBL（図3には $BL_1 \sim BL_4$ が示されている）は選択セルに応じてソース配線あるいはドレイン配線として機能する。

【0049】次に、不揮発性半導体メモリ100の動作を説明する。例えば、図3においてメモリセル C_{12} が選択された場合の動作条件を下記の表1に示す。

【0050】

【表1】

動作モード	ワードライン電圧 (V)		ビットライン電圧 (V)			
	選択 WL1	非選択 WL2	BL1	BL2	BL3	BL4
書き込み	-8	0	Float	4	Float	Float
消去	17	0	0	0	0	0
読み出し	3	0	0	0	1	1

【0051】書き込み動作においては、まず、メモリセル C_{12} の制御ゲート7に接続するワードラインWL₁に負の高電圧 V_{H1} （例えば-8V）を印加し、その他のワードラインは0Vとする。メモリセル C_{12} のドレイン拡散層2aにつながるビットラインBL₂には正の所定の電圧 V_{cc} （例えば4V）を印加し、その他のビットラインはフローティング状態とする。メモリセル C_{12} にお

ては、浮遊ゲート5とドレイン拡散層2aとの間に印加される電界により、ドレイン拡散層2aからトンネル絶縁膜3を介してトンネル電流が流れ、メモリセル C_{12} へのデータの書き込みが行なわれる。

【0052】選択されたワードラインWLに接続し、3つそのソース拡散層2bが選択されたビットラインBLに接続している非選択セル、例えば、ワードラインWL

(10)

1 及びビットライン BL_2 に接続している非選択セル C_{11} においても、制御ゲート7に同様の書き込み電圧が印加される。しかし、ソース拡散層2bの不純物濃度が低いため、非選択セル C_{11} においてはソース拡散層2bと浮遊ゲート5との間にはトンネル電流が流れない。従って、拡散層2を共有していても、非選択セルにおいてはデータの書き込みが生じない。

【0053】また、データの消去動作においては、まず全ビットライン BL を0Vとしておき、所望のワードライン WL に正の高電圧 V_{H2} （例えば17V）を印加する。このことにより、複数のメモリセルの浮遊ゲート5に同時に電子が注入され、データが一括消去される。例えば、ワードライン WL_1 に高電圧 V_{H2} を印加した場合にはメモリセル C_{11} 、 C_{12} 、及び C_{13} のデータが消去され、ワードライン WL_2 に高電圧 V_{H2} を印加した場合はメモリセル C_{21} 、 C_{22} 、及び C_{23} のデータが同時に消去される。

【0054】また、選択セル C_{12} からのデータの読み出しは、まずワードライン WL_1 に所定の電圧 V_{cc} （例えば3V）を印加し、同時にビットライン BL_3 に所定の電圧 V_L （例えば1V）、ビットライン BL_2 に0Vを印加し、ビットライン間に電流が流れ、 BL_3 の電位を検出することによってデータが読み出される。

【0055】ここで、選択セル（例えば、 C_{12} ）に対する書き込み動作が隣接する非選択セル（例えば、 C_{11} ）に与える影響について説明する。図4は、拡散層への不純物ドーズ量を変化させた場合の、書き込み動作時のメモリセルのしきい値電圧の変化を示している。曲線4aは、ドレイン拡散層2aの不純物ドーズ量が $5 \times 10^{15} / \text{cm}^2$ であるメモリセルに書き込み動作を行った場合のしきい値電圧の変化を示し、曲線4b～4dは、各々、ソース拡散層2bの不純物ドーズ量が、 $1 \times 10^{14} / \text{cm}^2$ 、 $5 \times 10^{13} / \text{cm}^2$ 、及び $1 \times 10^{13} / \text{cm}^2$ であるメモリセルのソース拡散層に、書き込み動作時にドレイン拡散層に印加される電圧と同じ電圧が印加された場合のしきい値電圧の変化を示している。

【0056】曲線4aに示されるように、選択セル C_{12} のドレイン拡散層に負の高電圧を印加すると浮遊ゲートから電子が引き抜かれ、しきい値が低下し、この電圧を10ms以上印加すると、選択セル C_{12} のしきい値は0Vより小さくなる。このとき、選択セル C_{12} のドレイン拡散層と連続したソース拡散層をもつ非選択セル C_{11} においては、曲線4c及び4dに示されるように、ソース拡散層2bの不純物ドーズ量が $5 \times 10^{13} / \text{cm}^2$ 以下であれば、しきい値はほとんど変化しない。また、選択セル C_{12} に高電圧を100ms印加した場合でもしきい値は4Vである。ソース拡散層2bの不純物ドーズ量が $1 \times 10^{13} / \text{cm}^2$ （曲線4d）であれば、選択セル C_{12} に高電圧を1000ms印加した場合でしきい値はあまり変化しない。このように、ソース拡散層2bの不純

物ドーズ量を適切に設定することにより、隣接するメモリセルで拡散層2を共有していても、非選択セルに影響を及ぼすことなく、選択セルのみにデータを書き込むことが可能である。

【0057】図5に、図3で示されている拡散層からなるビットライン BL の配線抵抗を下げるために、選択トランジスタを介して金属層からなるメインビットライン MBL に接続して構成した不揮発性半導体メモリ100'のメモリセルアレイの等価回路例を示す。

10 【0058】（実施例2）次に、図6～10を参照しながら、本発明による不揮発性半導体メモリの製造方法を説明する。本実施例では、実施例1で説明した不揮発性半導体メモリ100の製造工程を説明する。図6～10は、図1のA-A断面に相当する製造工程断面図である。

【0059】まず、半導体基板（シリコン基板）1上に図2（b）に示すようなフィールド絶縁膜（素子分離膜）12を形成する。次に、熱酸化によって膜厚が約80Åのトンネル絶縁膜3を形成し、第1のポリシリコンを約1000～2000Åの厚さに堆積する。その上に、フォトリソグラフィ技術によって所定の形状の第1のレジストマスク8aを形成し、第1のポリシリコン層5'をパターン形成する。第1のポリシリコン層5'は、後の浮遊ゲート5のチャネル方向の幅と同じ幅を有するストライプ状に形成される（図6）。

【0060】次に、エネルギー：50KeV、ドーズ量： $3 \times 10^{13} / \text{cm}^2$ でリンイオンの注入を行う。この部分は、後に低濃度のN型不純物拡散層（ソース拡散層）2bとなる（図7）。次に、第1のレジストマスク8aを除去し、後にドレイン拡散層となる領域に所定の開口を有する第2のレジストマスク8bを形成し、エネルギー：70KeV、ドーズ量： $1 \times 10^{15} / \text{cm}^2$ でヒ素イオンを注入する。この部分は、後に、高濃度N型不純物拡散層（ドレイン拡散層）2aとなる（図8）。第2のレジストマスク8bを剥離した後、室素雰囲気中において900℃で10分間の熱処理を行い、ドレイン拡散層2a側をDDD構造とし、ソース拡散層2b側をLDD構造とする。低濃度不純物拡散層2b及び高濃度不純物拡散層2aは連続した1つの拡散層2を形成し、

40 ビットラインとなる。

【0061】その後、CVD法により酸化膜を堆積し、エッチバックを行うことによって、第1のポリシリコン層5'間に酸化膜4を形成する。その上に、ONO膜（酸化膜/窒化膜/酸化膜）6を堆積した後（図9）、第2のポリシリコン膜7'を約1000Åに堆積する。フォトリソグラフィ技術により、第2のポリシリコン層7'、ONO膜6、及び第1のポリシリコン層5'をパターンニングすることにより（図2（b）参照）、制御ゲート7、絶縁膜6、及び浮遊ゲート5を形成する（図10）。各メモリセルの制御ゲート7は、連続して形成さ

れており、ワードラインを形成する。

【0062】尚、制御ゲート（ワードライン）7は、第2のポリシリコン膜を約1000Åの厚さに堆積した上に、更にタングステンシリサイド（WSi）等の高融点金属シリサイドを約1000Å堆積してパターンニングを行い、2層構造のワードラインとしてもよい。

【0063】次に、本発明による不揮発性半導体メモリの製造方法のもう1つの例を説明する。上記の例においては、第1及び第2のレジストマスク8a及び8bを用いているが、メモリセルアレイの微細化に伴い、隣接する浮遊ゲート5間の間隔が狭くなると、第2のレジストマスク8bの形成が困難になる。そこで、以下のようにして、第2のレジストマスク8bを形成せずにイオン注入を行う。

【0064】半導体基板1上に第1のレジストマスク8aを形成し、第1のポリシリコン層5'をパターンニングするまでの工程は図6と同様である。次に、図11

(a)に示すように、低濃度不純物拡散層を形成するためにリンイオンを注入する。このとき、リンイオンを所定の角度（例えば、半導体基板1の法線に対して約7度）で注入することによって、第1のレジストマスク8aの開口（ビットラインに対応）のソース側の縁に沿ってリンイオンが注入されることになる。この様な注入では、DDD構造とはならないが、微細化には適する。

【0065】このように、ソース側にのみリンイオンを注入してもよいし、図7の場合と同様の注入を行い、DDD構造となるようにリンイオンを注入してもよい。

【0066】次に、図11(b)に示すように、同一の第1のレジストマスク8aをそのまま用いて、ヒ素イオンを所定の角度（例えば、半導体基板1の法線に対して反対側に約7度）で注入する。第1のレジストマスク8aの開口においては、反対側のドレイン側の縁に沿ってヒ素イオンが注入されることになる。第1のレジストマスク8aを除去し、熱処理を行うことにより、ドレイン側の高濃度N型拡散層2a及びソース側の低濃度N型拡散層2bが連続して形成された拡散層2が形成される（図11(c)）。その後は、図9及び図10と同様の工程を実行することにより、ONO膜6及び制御ゲート7を形成する（図11(d)）。

【0067】上述のような斜めイオン注入を行うことにより、第2のレジストマスク8bを形成する工程が省略でき、且つ、アライメント余裕をとる必要がないため、セル面積を更に縮小できる。

【0068】あるいは、第1のポリシリコン膜5'を形成した後、先に第1のレジストマスク8aを除去してから、図12(a)及び(b)に示すように、リン及びヒ素イオンを注入してもよい。その際、イオンの注入角度は、レジストマスク8aを用いた場合よりも大きくする。

【0069】図13(a)は、本発明による不揮発性半

導体メモリの他の構成例を示している。不揮発性半導体メモリ110においては、半導体基板1上にフィールド酸化膜12（図2(b)）を形成せず、代わりにP型不純物拡散層14を形成してY方向に隣接するメモリセルを分離している。動作原理は図1と同様である。

【0070】不揮発性半導体メモリ110の製造工程は上記の例（図6～10、図11、あるいは図12）とほぼ同様である。素子分離のためのP型不純物拡散層14は、制御ゲート（ワードライン）7を形成した後、制御ゲート（ワードライン）7をマスクとしてボロニオンを、例えば、エネルギー：40KeV、ドーズ量： $1 \times 10^{13} / \text{cm}^2$ で注入することによって形成される（図13(b)）。

【0071】素子分離膜を形成するためのパターンを形成する必要がなくなり、Y方向に隣接するメモリセル間をフォトリソグラフィにおける解像限界まで狭くすることができる。

【0072】（実施例3）図14は、本発明の第3の実施例による不揮発性半導体メモリ300のメモリセルアレイの一部を示す平面図である。図15(a)は、不揮発性半導体メモリ300の図14におけるA-A断面を示し、図15(b)はB-B断面を示している。

【0073】不揮発性半導体メモリ300は、半導体基板31上に複数のメモリセルC'がマトリクス上に形成されている。図14において、各メモリセルC'はC_{im'}などとして示されている。各メモリセルC'においては、半導体基板31上に絶縁膜を介して浮遊ゲート35が形成されている。浮遊ゲート35上にはONO膜等の絶縁膜36を介して制御ゲート37が形成されている。制御ゲート37はメモリセルC'のチャネル方向（図中X方向）に沿って延長しており、図22に示すように、X方向に並ぶメモリセルC'を接続するワードラインWLとなっている。図14及び図15(a)に示すように、X方向に沿って隣接する2つメモリセル（例えば、C_{im'}及びC_{in'}）の間には、高濃度N型拡散層32が形成されている。拡散層32は、一方のメモリセル（例えば、C_{im'}）のドレイン拡散層9と、他方のメモリセル（例えば、C_{in'}）のソース拡散層10とを含んでおり、隣接する2つのメモリセルによって共有されている。

【0074】図14及び15(a)に示すように、浮遊ゲート35の下には、ゲート絶縁膜34及びトンネル絶縁膜33が配置されている。トンネル絶縁膜34は、ドレイン拡散層9上に配置されている。トンネル絶縁膜34はゲート絶縁膜34よりも薄く形成されているため、浮遊ゲート35と半導体基板31との間に所定の電圧が印加された場合、トンネル絶縁膜33にはトンネル電流が流れるが、ゲート絶縁膜34にはトンネル電流が流れない。

【0075】各メモリセルC'において、浮遊ゲート3

(12)

5は、ドレイン側でトンネル絶縁膜33を介して一方の拡散層32のドレイン拡散層9と容量結合し（トンネル領域9'）、ソース側ではゲート絶縁膜34を介して他方の拡散層32のソース拡散層10と容量結合している。このように、本実施例によるメモリセルc'のトランジスタは、ドレイン側とソース側で絶縁膜が非対称に形成された非対称トランジスタである。尚、トンネル絶縁膜33は、シリコン酸化膜、あるいはシリコン酸化膜とシリコン窒化膜との積層膜として形成することができる。

【0076】本実施例においては、Y方向に沿って並ぶ拡散層32は拡散層配線で接続されており、いわゆる埋めこみビットラインを形成している。あるいは、各拡散層32は金属配線で電気的に接続してもよい。ただしその場合は、各拡散層32にコンタクト領域を形成する必

要がある。また、図15(b)に示すように、Y方向に沿って隣接するメモリセル（例えば、 $C_{in'}$ 及び $C_{jn'}$ ）の浮遊ゲート35の間には、フィールド酸化膜（素子分離膜）42が形成されている。

【0077】図16の等価回路にも示されるように、不揮発性半導体メモリ300は、仮想接地方式を採用しており、各ビットラインBL（図16には $BL_1 \sim BL_4$ が示されている）は選択セルに応じてソース配線あるいはドレイン配線として機能する。

10 【0078】次に、不揮発性半導体メモリ300の動作を説明する。例えば、図16においてメモリセル $C_{12'}$ が選択された場合の動作条件を下記の表2に示す。

【0079】

【表2】

動作モード	ワードライン電圧 (V)		ビットライン電圧 (V)			
	選択	非選択	BL1	BL2	BL3	BL4
	WL1	WL2				
書き込み	-6	0	Float	3	Float	Float
消去	12	0	0	0	0	0
読み出し	3	0	0	0	1	1

【0080】書き込み動作においては、まず、メモリセル $C_{12'}$ の制御ゲート37に接続するワードラインWL1に負の高電圧 V_{H1} （例えば-6V）を印加し、その他のワードラインは0Vとする。メモリセル $C_{12'}$ のドレインにつながるビットラインBL2には正の所定の電圧 V_{cc} （例えば3V）を印加し、その他のビットラインはフローティング状態とする。メモリセル $C_{12'}$ においては、浮遊ゲート35とドレイン拡散層9との間に印加される電界により、ドレイン拡散層9からトンネル絶縁膜33を介してトンネル電流が流れ、メモリセル $C_{12'}$ へのデータの書き込みが行なわれる。

【0081】同じワードラインWL1に接続している非選択セル、例えばメモリセル $C_{11'}$ においても、制御ゲート37に電圧が印加され、そのソース拡散層10がビットラインBL2に接続している。しかし、ソース拡散層10の上には、トンネル現象を起こさない比較的厚いゲート絶縁膜34が形成されているため、非選択セル $C_{11'}$ においてはソース拡散層10と浮遊ゲート35との間にはトンネル電流が流れない。従って、拡散層32を共有していても、非選択セルにおいてはデータの書き込みが生じない。

【0082】また、データの消去動作においては、まず全ビットラインBLを0Vとしておき、所望のワードラインWLに正の高電圧 V_{H2} （例えば12V）を印加する。このことにより、複数のメモリセルの浮遊ゲート5に同時に電子が注入され、データが一括消去される。例えば、ワードラインWL1に高電圧 V_{H2} を印加した場合にはメモリセル $C_{11'}$ 、 $C_{12'}$ 、及び $C_{13'}$ のデータが消去され、ワードラインWL2に高電圧 V_{H2} を印加した

場合はメモリセル $C_{21'}$ 、 $C_{22'}$ 、及び $C_{23'}$ のデータが同時に消去される。

【0083】また、選択セル $C_{12'}$ からのデータの読み出しは、まずワードラインWL1に所定の電圧 V_{cc} （例えば3V）を印加し、同時にビットラインBL3に所定の電圧 V_L （例えば1V）、ビットラインBL2に0Vを印加し、ビットライン間に流れる電流を検出することによってデータが読み出される。

30 【0084】ここで、書き込み時に浮遊ゲート35に所定の電圧を印加した場合において、半導体基板31に流れる電流のゲート絶縁膜34の膜厚に対する依存性について説明する。図17は、書き込み電流（即ち、ドレイン拡散層9と浮遊ゲート35間に流れるトンネル電流）に対するリーク電流（即ち、半導体基板31に流れる電流）の比を、ゲート絶縁膜34の膜厚に対してプロットしたものである。トンネル絶縁膜33の厚さは11nm（110Å）で、ドレイン拡散層への印加電圧は11Vとしている。図17から分かるように、ゲート絶縁膜34を17nm以上とすると、半導体基板31に流れるリーク電流をトンネル電流より小さくすることができる。従って、ゲート絶縁膜34を比較的厚くすることにより、書き込み効率を向上することができる。また、トンネル絶縁膜33を薄膜化することによって書き込み時の印加電圧も低くできるので、その分ゲート絶縁膜34も薄くすることができる。また、実施例1のメモリセルよりも低電圧化が可能である。

50 【0085】本実施例では膜厚差で、非対称メモリセルを実現しているが、トンネル絶縁膜のみを異なる種類の膜、例えば誘電率が異なる膜で形成してもよい。

【0086】また、図18に図16で示されている拡散層からなるビットラインBLの配線抵抗を下げるために、選択トランジスタを介して金属層からなるメインビットラインMBLに接続して構成した不揮発性半導体メモリ300'のメモリセルアレイの等価回路例を示す。

【0087】(実施例4)次に、図19～23を参照しながら、本発明による不揮発性半導体メモリの製造方法を説明する。本実施例では、図14に示される不揮発性半導体メモリ300の製造工程を説明する。図19～23は、図14のA-A断面に相当する断面図である。

【0088】まず、半導体基板(シリコン基板)31上に図15(b)に示すようなフィールド絶縁膜(素子分離膜)42を形成する。次に、熱酸化によって膜厚が約200Å(20nm)のゲート絶縁膜34を形成する。その上に、フォトリソグラフィ技術によって所定の形状の第1のレジストマスク8aを形成する。第1のレジストマスク8aは後のドレイン拡散層9となる領域に開口部8'を有している。第1のレジストマスク8aをマスクとして、エネルギー:70KeV、ドーズ量:5x10¹⁵/cm²でひ素イオンを注入する(図19)。

【0089】次に、第1のレジストマスク8aを剥離した後、窒素雰囲気中において900℃で30分間の熱処理を行い、高濃度N型拡散層であるドレイン拡散層9を形成する。次に、後にトンネル領域9'となる領域に所定の開口部8''を有する第2のレジストマスク8bをフォトリソグラフィ技術によって形成する。そして、第2のレジストマスク8bを用いて、トンネル領域9'上のゲート絶縁膜34を除去する(図20)。

【0090】次に、第1のレジストマスク8aを剥離した後、膜厚約80Åのトンネル絶縁膜33を形成し、その上に第1のポリシリコン膜を約1500Åの厚さに堆積する。その上に、フォトリソグラフィ技術によって所定の形状の第3のレジストマスク8cを形成し、第1のポリシリコン層35'をパターン形成する。第1のポリシリコン層35'は、後の浮遊ゲート35のチャネル方向の幅と同じ幅を有するストライプ状に形成される(図21)。

【0091】次に、第1のポリシリコン層35'をマスクとし、エネルギー:70KeV、ドーズ量:1x10¹⁵/cm²でひ素イオンを注入する(図22)。第3のレジストマスク8cを剥離した後、窒素雰囲気中において900℃で30分間の熱処理を行い、ソース拡散層10を形成する。ソース拡散層10は、隣接するメモリセルのドレイン拡散層9と接続され、拡散層(ビットライン)32を形成する。

【0092】その後、CVD法により、ONO膜(酸化膜/窒化膜/酸化膜)36を堆積した後、第2のポリシリコン膜37'を約1000Åに堆積する。フォトリソグラフィ技術により、第2のポリシリコン層37'、ONO膜36、及び第1のポリシリコン層35'をパター

ニングすることにより(図15(b)参照)、制御ゲート37、絶縁膜36、及び浮遊ゲート35を形成する(図23)。各メモリセルの制御ゲート37は連続して形成されており、ワードラインとなる。

【0093】尚、制御ゲート(ワードライン)37は、第2のポリシリコン膜を約1000Åに堆積した上に、更にタングステンシリサイド(WSi)等の高融点金属シリサイドを約1000Å堆積してパターニングを行い、2層構造のワードラインとしてもよい。

10 【0094】次に、本発明による不揮発性半導体メモリの製造方法のもう1つの例を図24～図28を用いて説明する。上記の例においてトンネル領域全体を拡散層で覆おうとすると、ドレイン拡散層形成のためのイオン注入マスク8aとトンネル領域を決定するマスク8bとは別のマスクを使用している。そのため、これらのマスクを形成する際に、両マスクの位置合わせ余裕をとる必要がある。そこで、以下のように、トンネル領域を決定するマスクを用いて不純物イオンの注入を行い、トンネル領域

20 下に自己整合的に拡散層を形成する。
【0095】まず、上記と同様にしてフィールド絶縁膜(素子分離膜)42が形成された半導体基板31上に、熱酸化によって膜厚が約200Å(20nm)のゲート絶縁膜(第1のゲート絶縁膜)34を形成する。その上に、フォトリソグラフィ技術によって所定の形状のレジストマスク8dを形成する。レジストマスク8dは後のトンネル領域となる領域に開口を有している。レジストマスク8dをマスクとして、エネルギー:70KeV、ドーズ量:5x10¹⁵/cm²でひ素イオンを注入する(図24)。その後、レジストマスク8dをマスクとし、トンネル領域のゲート絶縁膜34を除去する(図25)。

【0096】レジストマスク8dを剥離した後、窒素雰囲気中において900℃で10分間の熱処理を行い、高濃度N型拡散層であるドレイン拡散層9を形成する。更に、熱酸化によって、膜厚約80Åのトンネル絶縁膜(第2のゲート絶縁膜)33を形成する(図26)。

40 【0097】次に、第1のポリシリコン膜を約1000～2000Åの厚さに堆積する。所定の形状のレジストマスクを用い、フォトリソグラフィ技術によって第1のポリシリコン層35'をパターニングする。第1のポリシリコン層35'は、後の浮遊ゲート35のチャネル方向の幅と同じ幅を有するストライプ状に形成される。レジストマスクを除去した後、リンイオンを所定の角度、例えば、半導体基板31の法線に対する角度(Tilt Angle)を約45度として注入する(斜めイオン注入)。リンイオンは、エネルギー:30KeV、ドーズ量:1～5x10¹⁴/cm²で注入する。更に、引き続いて第1のポリシリコン層35'をマスクとし、エネルギー:70KeV、ドーズ量:1x10¹⁵/cm²で、同様にし

(14)

てひ素イオンを注入する(図27)。尚、上述の例では、リン及びひ素による2回のイオン注入を行っているが、リンイオンのみを所定の角度でドーズ量： $1 \times 10^{15}/\text{cm}^2$ で注入してもよい。しかし、上記のように2回行った方が、トンネル絶縁膜33の下に拡散層9との接続をより確実に形成することができる。その後、所定の熱処理を行い、ソース拡散層10を形成する。ソース拡散層10は、隣接するメモリのドレイン拡散層9と接続され、拡散層(ビットライン)32を形成する。

【0098】その後、CVD法により、ONO膜(酸化膜/窒化膜/酸化膜)36を堆積した後、第2のポリシリコン膜37'を約 1000\AA に堆積する。フォトリソグラフィ技術により、第2のポリシリコン層37'、ONO膜36、及び第1のポリシリコン層35'をパターンニングすることにより(図15(b)参照)、制御ゲート37、絶縁膜36、及び浮遊ゲート35を形成する(図28)。各メモリの制御ゲート37は連続して形成されており、ワードラインを形成する。

【0099】尚、制御ゲート(ワードライン)37は、第2のポリシリコン膜を約 1000\AA に堆積した上に、更にタングステンシリサイド(WSi)等の高融点金属シリサイドを約 1000\AA 堆積してパターンニングを行い、2層構造のワードラインとしてもよい。

【0100】このように、本実施例によれば、隣接するメモリセルにおいて、ビットラインを共有できるため、メモリセル構造が簡単になり、セルサイズの縮小が可能である。更に、トンネル領域は、全て拡散層(特にドレイン拡散層)上形成されるため、書き込み時における拡散層から半導体基板へのリーク電流が低減できる。従って、書き込み効率を向上でき、低消費電力化が可能となる。また、リーク電流による電子/正孔トラップがないため、メモリセルの信頼性を向上させることができる。

【0101】図29(a)及び(b)は、本実施例による不揮発性半導体メモリの他の構成例を示している。不揮発性半導体メモリ310においては、半導体基板31上にフィールド酸化膜42(図15(b))を形成せず、代わりにP型不純物拡散層39を形成してY方向に隣接するメモリセルを分離している。

【0102】不揮発性半導体メモリ310の製造工程は上記の例(図19~23、あるいは図24~28)とほぼ同様である。P型不純物拡散層39は、制御ゲート(ワードライン)37を形成した後、制御ゲート(ワードライン)37をマスクとしてホロニオンを、例えば、エネルギー： 40KeV 、ドーズ量： $1 \times 10^{13}/\text{cm}^2$ で注入することによって形成される(図29(b))。

【0103】(実施例5) 本実施例では、実施例3で説明した不揮発性半導体メモリ300と同様に、ドレイン側とソース側でゲート絶縁膜が非対称に形成された非対称トランジスタを用いる不揮発性半導体メモリ320に

ついて説明する。

【0104】図30は、本発明の第5の実施例による不揮発性半導体メモリ320のメモリセルアレイの一部を示す平面図である。図31(a)は、不揮発性半導体メモリ320の図30におけるA-A断面を示し、図31(b)はB-B断面を示している。

【0105】図30及び図31(a)及び(b)に示すように、不揮発性半導体メモリ320においては、半導体基板41上に複数のメモリセルC"がマトリクス状に形成されている。各メモリセルC"において、半導体基板41上に絶縁膜55を介して浮遊ゲート51が形成されている。絶縁膜55は場所によって厚さが異なり、図31(a)に示すように、ゲート絶縁膜(第1のゲート絶縁膜)42、トンネル絶縁膜(第2のゲート絶縁膜)50、及びビット線絶縁膜48を含んでいる。

【0106】また、浮遊ゲート51上にはONO膜等の絶縁膜52を介して制御ゲート53が形成されている。制御ゲート53はメモリセルC"のチャネル方向(図中X方向)に沿って延長しており、X方向に並ぶメモリセルC"を接続するワードラインWLとなっている。

【0107】図30及び図31(a)に示すように、X方向に沿って隣接する2つメモリセルC"の間には、高濃度N型拡散層46が形成されている。拡散層46は、一方のメモリセルのドレイン拡散層と、他方のメモリセルのソース拡散層とを含んでおり、隣接する2つのメモリセルによって共有されている。拡散層46はY方向に沿って拡散層配線で接続されており、埋めこみビットラインBLを形成する。

【0108】浮遊ゲート51の下には、ゲート絶縁膜42及びトンネル絶縁膜50が配置されている。トンネル絶縁膜50は、全て、拡散層46上に配置されている。拡散層46は、ドレイン側において一方のメモリセルの浮遊ゲート51とトンネル絶縁膜50を介して容量結合し(トンネル領域50')、ソース側において他方のメモリセルの浮遊ゲート51とゲート絶縁膜42を介して容量結合している。トンネル絶縁膜50はゲート絶縁膜42よりも薄く形成されているため、浮遊ゲート51と半導体基板41との間に所定の電圧が印加された場合、トンネル絶縁膜50を介してトンネル電流が流れるが、ゲート絶縁膜42にはトンネル電流が流れない。

【0109】このように、本実施例によるメモリセルC"のトランジスタは、ドレイン側とソース側で絶縁膜が非対称に形成された非対称トランジスタである。尚、トンネル絶縁膜50は、シリコン酸化膜、あるいはシリコン酸化膜とシリコン窒化膜との積層膜として形成することができる。また、ゲート領域以外の拡散層46上(即ち、隣接するメモリセル間に位置する領域)には、比較的膜厚の大きいビット線絶縁膜48が形成されている。

【0110】不揮発性半導体メモリ320は、仮想接地

方式を採用しており、各ビットラインBLは選択セルに応じてソース配線あるいはドレイン配線として機能する。

【0111】次に、図32～38を参照しながら不揮発性半導体メモリ320の製造方法について説明する。

【0112】まず、シリコン基板41上に酸化膜42を、例えば、厚さ約40nmに形成する。その上に、更に第1のシリコン窒化膜43を例えば、厚さ約100nm堆積し、所定のストライプ形状にパターニングする。パターニング幅は、形成したいチャネル長に応じて適宜設定する。第1のシリコン窒化膜43は、埋め込みビットライン（拡散層）を形成するための実質的なマスクとなる。シリコン窒化膜43をパターン形成した後、半導体基板41上に酸化膜44を、例えば、膜厚約40nm堆積する（図32）。

【0113】その上に、第2のシリコン窒化膜を堆積し、エッチバックを行うことにより、酸化膜44で覆われた第1のシリコン窒化膜43の両側壁に、窒化膜スペーサ45を形成する。窒化膜スペーサ45は、ドレイン側（トンネル領域）に対応するスペーサ45a及びソース側に対応するスペーサ45bを含んでいる。第1のシリコン窒化膜43及び窒化膜スペーサ45をマスクとしてフッ素イオン注入を行い、熱処理により高濃度N型不純物拡散層（ビットライン）46を形成する（図33）。

【0114】次に、後のトンネル領域50'に対応する一方の窒化膜スペーサ45aを覆う所定の形状のレジストマスク47を形成し、レジストマスク47を用いる等方性プラズマエッチングにより、他方の窒化膜スペーサ45bを除去する（図34）。その後、半導体基板41上に、比較的厚い酸化膜を成長させる。このことにより、拡散層（ビットライン）46部分は、比較的厚い酸化膜48（例えば、膜厚約150nm）で覆われる（図35）。

【0115】次に、エッチング処理により窒化膜スペーサ45aを除去し、更に酸化膜44を除去する。エッチング処理によって酸化膜44の厚さ（約40nm）の分だけ熱酸化膜（44及び48）を除去することにより、トンネル領域50'上の酸化膜44が除去される。このとき、酸化膜48部分は十分に厚いため、トンネル領域50'以外の半導体基板部分が露出されることはない。引き続き、熱酸化工程を行うことにより、トンネル領域50'に薄い熱酸化膜49（例えば、膜厚約10nm）を形成する（図36）。

【0116】次に、第1のシリコン窒化膜43を、例えば、磷酸ボイル処理によって完全に除去し、更に、エッチング処理によって酸化膜49を除去してトンネル領域50'となる半導体基板部分のみを露出する。そして、熱酸化処理により、トンネル絶縁膜50を形成する（例えば、厚さ約8nm）。その後、第1のポリシリコン膜を、例えば、約1500Åの厚さに堆積し、フォトリソ

グラフィ技術によってトンネル領域を覆って所定の形状にパターニングすることにより浮遊ゲート51を形成する（図37）。その上に、CVD法により、ONO膜（酸化膜/窒化膜/酸化膜）52を堆積した後、第2のポリシリコン膜を、例えば約1000Åの厚さに堆積する。フォトリソグラフィ技術によってパターニングを行うことにより、制御ゲート53を形成する（図38）。各メモリセルの制御ゲート53は連続して形成されており、ワードラインを形成する。

10 【0117】第1のポリシリコン膜は、浮遊ゲート51のチャネル方向の幅と同じ幅を有するストライプ状に形成しておき、第2のポリシリコン膜と同時にパターニングをおこなってもよい。また、制御ゲート53は、第2のポリシリコン膜を約100nmに堆積した上に、更にタングステンシリサイド（WSi）等の高融点金属シリサイドを約100nm堆積してパターニングを行い、2層構造のワードラインとしてもよい。

【0118】このように、本実施例によれば、各トランジスタは、その浮遊ゲート51の下に膜厚の異なる絶縁膜（ゲート絶縁膜48及びトンネル絶縁膜50）を有する非対称型のトランジスタとなる。本実施例では、第1の窒化膜43の側壁に形成した窒化膜スペーサ45aを用いてトンネル領域50'を規定している。このことにより、トンネル絶縁膜50を形成する領域を小さくすることができる。

【0119】トンネル領域50'は、全て拡散層46上に形成されるため、書き込み時におけるバンド間トンネル電流の発生を大幅に低減でき、書き込み効率及び信頼性が向上できる。

30 【0120】また、本実施例によれば、制御ゲートの容量結合比（coupling ratio）を大きくできるため、高耐圧トランジスタモジュールが不要となり、プロセスコストを低減することができる。

【0121】また、拡散層46の配線部分、即ち、浮遊ゲート51とのソース結合領域及びドレイン結合領域（トンネル領域50'）以外の拡散層46は、比較的厚い絶縁膜48で覆われている。従って、制御ゲート53とビットライン部分との寄生容量を減少することができる。

40 【0122】（実施例6）図39は、本発明の非対称メモリセルアレイを複数のブロック410に分割した場合の不揮発性半導体メモリ400の構成を示す。このように、メモリセルアレイを所定のブロックに分割することにより、配線の寄生容量及び抵抗が低減され、動作の高速化を図ることができる。本実施例では、各メモリセルCとして実施例1による不揮発性半導体メモリ100を使用したものを用いて説明する。また、実施例3に示れる不揮発性半導体メモリ300を用いて同様の構成50 することができる。この際の駆動方法は以下に説明する方法と基本的に同様であり、印加する電圧をメモリ

(16)

ルの特性に応じて変えてやればよい。

【0123】図39に示されるように、不揮発性半導体メモリ400においては、拡散層2は、Y方向に連結されてサブビットラインSBL（図にはSBL₁～SBL₅が示されている）を形成している。そして、サブビットラインSBL2本毎に1本のメインビットラインMBLが配置されている（図にはMBL₁～MBL₃が示されている）。メインビットラインMBLは金属層で形成され、サブビットラインSBLと同一方向に、メモリセルCの配列の2倍のピッチで配線されている。本実施例においては、サブビットラインSBLを拡散層配線とし、メインビットラインMBLをメタル配線としており、メモリセルはメタル配線のピッチと関係なく形成でき、またメタル配線のピッチをメモリセルサイズの2倍とすることができ、メタル配線の寄生容量を低減できる。

【0124】各サブビットラインSBLは、選択トランジスタを介して対応するメインビットラインMBLに接続されている。例えば、サブビットラインSBL₁及びSBL₃は、各々選択トランジスタQ₁及びQ₂を介してメインビットラインMBL₁に接続され、サブビットラインSBL₂及びSBL₄は、各々選択トランジスタQ₄及びQ₅を介してメインビットラインMBL₂に接続されている。各選択トランジスタは、対応する選択ラインSTによって制御される（図には、選択ラインST₁₁～S

T₄₁及びST₁₂～ST₄₂が示されている）。

【0125】ブロック410には、複数のワードラインWL₀₁～WL_{n1}が含まれている。尚、サフィックス（01、n1等）の右側の1はブロックの番号を示し、図38に示されるように、2番目のブロック410'では2（WL₀₂、WL_{n2}など）となる。尚、ブロック410の構成やメインビットラインMBLの配置はこれに限られるものではない。

【0126】ブロック410が消去動作における非選択ブロックである場合、選択トランジスタQ₁～Q₅をオフにすることにより、ブロック410に含まれる全ての拡散層2（サブビットラインSBL）を対応するメインビットラインMBLから電気的に切り離すことができる（フローティング状態）。

【0127】尚、各ブロックの境界におけるサブビットラインは、隣接するブロックに含まれるメモリセルには接続されていない。

【0128】次に、不揮発性半導体メモリ400の動作について説明する。表3は、メモリセルC₃₁が選択された場合の、各動作時における印加電圧の一例を示している。

【0129】

【表3】

動作 モード	メインビット ライン電圧 (V)			ワードライン 電圧 (V)		選択ライン電圧 (V)				
	MBL ₁	MBL ₂	MBL ₃	WL ₀	WL ₃₁	選択	非選択	ST ₁₁	ST ₂₁	ST ₃₁
						ST ₁₁	ST ₂₁			
書き込み	4	Float	Float	-8	0	0	6	6	0	0
消去	0	0	0	17	17or0	3	3	3	3	0
読み出し	0	1	1	3	0	0	3	3	0	0

【0130】書き込み動作は、ワードラインWL₀₁に負の高電圧（例えば-8V）を印加し、メインビットラインMBL₂をフローティングとし、更にメインビットラインMBL₁に所定の正電圧（例えば4V）を印加する。選択ラインST₂₁をハイレベル（6V）にして選択トランジスタQ₁をオンし、サブビットラインSBL₁をMBL₁に接続する。同時に、選択ラインST₁₁及びST₄₁をローレベル（例えば0V）にし、選択トランジスタQ₂及びQ₅をオフしてサブビットラインSBL₃、SBL₄をフローティング状態にする。このことにより、選択セルC₃₁においては、制御ゲート7に負の高電圧が印加され、ソース拡散層2bには0V、ドレイン拡散層2aには所定の正電圧が印加されるため、浮遊ゲート5にトンネル電流が流れ込み（すなわち、電子が引き抜かれ）、選択セルC₃₁にデータが書き込まれる。

【0131】この時、同一ブロック内の非選択WLにドレインに印加される電圧よりも低い電圧を印加することによって、同一SBL₁に接続するメモリセルのドレインディスタープ耐性を向上することができる。

【0132】また、消去動作は、セクタ単位またはブロック単位で行なわれる。メインビットラインMBL₁、MBL₂及びMBL₃を0Vとし、所定のワードライン、例えばWL₀₁に正の高電圧（例えば17V）を印加し、その他のワードラインWL_{n1}には0Vを印加する。選択ラインST₁₁～ST₄₁をハイレベル（例えば3V）にして、消去を行うメモリセルが存在するブロックの選択トランジスタを全てオンとすることで、正の高電圧が印加されたワードラインWLに接続されたメモリセルのデータは消去され、0Vが印加されたワードラインに接続するメモリセルのデータは消去されない。従って、セクタ単位で消去を行う場合には、1本のワードラインにのみ正の高電圧を印加して他のワードラインには0Vを印加する。また、ブロック単位の消去を行う場合には、ブロック410内において、全ワードラインWL₀₁～WL_{n1}に同時に高電圧を印加することで、ブロック410内のメモリセルのデータが一括して消去される。

【0133】また、選択セルC₃₁に対する読み出し動作は、メインビットラインMBL₂に所定の正の電圧（例

(17)

えば1 V)を印加し、ワードライン WL_{01} に正の電圧(例えば3 V)を印加し、選択ライン ST_{21} 及び ST_{31} をハイレベル(例えば3 V)にして選択トランジスタ Q_1 及び Q_4 をオンすることによって行われる。このように低濃度側のソース拡散層側から読み出すことによってメモリセルに「ソフトライト」は生じない。

【0134】ここで、選択トランジスタ Q_3 が同時にONし、サブビットライン SBL_5 がメインビットライン MBL_3 に接続される。この時にワードライン WL_{01} に接続するメモリセルの様子を図40に示す。ワードライン WL_{01} に正の電圧が印加されると、図40に示されるように、選択されたメモリセル(図40においてAで示す)に対する読み出し動作において、ドレイン拡散層(SBL_1)は選択トランジスタ Q_1 を介してメインビットライン MBL_1 (接地レベル)に接続され、ソース拡散層(SBL_2)は選択トランジスタ Q_4 を介してメインビットライン MBL_2 (1 V)に接続され、さらにサブビットライン SBL_5 は選択トランジスタ Q_3 を介して MBL_3 に接続される。この時、メモリセル C_{31} に記憶されているデータが1または0かによって、メモリセルトランジスタがONまたはOFF状態となる。メモリセルトランジスタがOFF状態の場合、読み出しを行う MBL_2 (SBL_2)の電位が低下して正確な読み出しができなくなることを防止するため、 MBL_3 (SBL_5)にも同じ電位を印加しておく。 SBL_3 及び SBL_4 は、フローティング状態にあり、メインビットラインに比べてサブビットラインの寄生容量は小さいため、サブビットラインによる影響は小さい。また、メモリセルトランジスタがON状態の場合、 MBL_3 (SBL_5)にも同じ電位を印加されていたとしても、 C_{32} から C_{34} を通して流れるリーク電流は C_{31} に流れる電流に比べてほとんど無視でき、読み出しには問題とはならない。

【0135】尚、図40においては、メインビットラインの容量を C_{MBL} として示されている。

【0136】図41に示すように、ワードライン WL_{01} に接続されたメモリセルAからデータを読み出す場合、Y方向に隣接し、ワードライン WL_{n1} に沿ってサブビットライン SBL_2 から SBL_1 に流れるリーク電流は、データが書き込まれたメモリセルAのチャネル電流に比べて無視できる。図41からわかるように、メモリセルのしきい値電圧が0.5 Vより大きい場合、制御ゲートが接地された非選択メモリセルのリーク電流は、読み出し電流と比べて、7桁の差があり、無視できる。

【0137】次に、不揮発性半導体メモリ400の駆動方法の他の一例を説明する。上述の駆動方法においてはデータの消去時にワードラインに高電圧(17 V)を印加している。しかし、データの消去時に拡散層2及び半導体基板1に負の電圧を印加することにより、ワード線に印加する高電圧を低減することができる。

【0138】この場合、データの消去時においては、ま

ず非選択ブロックの選択トランジスタをオフ状態にし、非選択ブロックの拡散層2(すなわちサブビットライン SBL)をフローティング状態にしておく。半導体基板1に負電圧が印加される場合、選択トランジスタ Q は、ハイレベル(0 V)及びローレベル(負電圧:例えば-8 V)によってオン・オフ制御される。即ち、図39及び図42に示すように、選択ブロック410の選択ライン ST_{n1} ($n=1\sim 4$)を0 Vにし、非選択ブロック410'の選択ライン ST_{n2} ($n=1\sim 4$)をローレベル(-8 V)にする。

【0139】図42に示すように、半導体基板1には負電圧(例えば、-8 V)を印加しておき、選択ブロック410のワードライン WL (すなわち、制御ゲート7)に正の電圧(例えば9 V)を印加し、拡散層2(ビットライン BL)に負の電圧(例えば-8 V)を印加することによって、選択ブロック410の消去が行なわれる。

【0140】図43は、制御ゲート7に8 Vの電圧を印加した場合及び9 Vの電圧を印加した場合のメモリセルにおける消去時間を示している。図43から分かるように、消去状態のメモリセルのしきい値を5 Vとすると、制御ゲート7に9 Vの電圧を印加した場合、約 10^{-2} s e cでデータの消去が可能である。

【0141】また、メモリセルアレイは半導体基板に形成されているウエル上に形成されるが、ウエルに負電圧を印加する場合、他の非選択ブロックに対して負電圧が印加されるのを防ぐためには、ブロック毎にウエルを分離することが考えられるが、ブロック毎にウエルを分離すると、メモリのサイズが大きくなってしまう。しかし、上述のように動作させることで、以下に示すように、ブロック毎にウエルを分離しなくてもメモリセルの信頼性上、問題はない。

【0142】図44は、半導体基板に印加される負電圧($-V_{sub}$)とトンネル絶縁膜(膜厚約80 Å)の信頼性(Disturb Immunity)との関係を示している。図44から分かるように、膜厚約80 Åのトンネル絶縁膜の場合、基板に印加する電圧が-20 V迄であれば10年以上の寿命が得られ、不揮発性半導体メモリの信頼性として十分である。

【0143】次に、書き込み動作の他の例について説明する。個々のメモリセルに対する書き込みは上記と同様に、選択ブロック410に接続する選択トランジスタをオン状態にし、その後データの書き込みを行う選択セルに接続するワードライン WL (即ち制御ゲート7)に負電圧(例えば-8 V)を印加した状態で、選択セルのドレイン拡散層2aに接続するサブビットライン SBL にデータに応じた電圧を印加することによって行なわれる。

【0144】本実施例では、各メインビットライン MBL に対して、2本のサブビットライン SBL が各々の選択トランジスタを介して接続されている。不揮発性半導

体メモリ400においては、以下のようにして1本のワードラインに接続する全てのメモリセルに対して半分ずつ、2回の書き込み動作を行うことで書き込みを行うことができる。ここでは、ワードラインWL₀₁を選択した

場合について、表4及び図45を参照しながら説明する。

【0145】

【表4】

動作モード	メインビットライン電圧 (V)			ワードライン電圧 (V)		選択ライン電圧 (V)				
				選択	非選択	選択				非選択
	MBL ₁	MBL ₂	MBL ₃	WL ₀₁	WL _{n1}	ST ₁₁	ST ₂₁	ST ₃₁	ST ₄₁	ST _n
書き込み	4/Float	4/Float	4/Float	-8	0	0	6	6	0	0
	4/Float	4/Float	4/Float	-8	0	6	0	0	6	0

【0146】まず、表4及び図45に示すように、選択ワードラインWL₀₁に書き込み用の負の電圧（-8V）を印加する。非選択ワードラインWL_{n1}（n≠0）は接地電圧（0V）のままである。次に、選択ラインST₂₁及びST₃₁をハイレベル（6V）とし、メインビットラインMBL₁に対しては、選択トランジスタQ₁を介してサブビットラインSBL₁を接続し、メインビットラインMBL₂に対しては、選択トランジスタQ₄を介してサブビットラインSBL₂を接続し、メインビットラインMBL₃に対しては、選択トランジスタQ₃を介してサブビットラインSBL₅を接続する。この状態で、各メインビットラインMBLに、書き込みを行うメモリセルCに記憶させるデータに応じて書き込み電圧を印加する。書き込み電圧は、例えば、データ1に対しては4Vを印加してトンネル電流を流し、データ0に対してはフローティング状態として書き込みが起こらないようにする。このことにより、メモリセルC₃₁、C₃₂、及びC₃₅（図示せず）等へのデータの書き込みが行なわれる。尚、選択されないその他の選択トランジスタの選択ラインは接地電圧のままである。

【0147】次に、選択ワードラインWL₀₁にそのまま書き込み用の負の電圧（-8V）を印加した状態で、選択ラインST₂₁及びST₃₁をローレベル（0V）とし、次に選択ラインST₁₁及びST₄₁をハイレベル（5V）として、メインビットラインMBL₁に対しては、選択トランジスタQ₂を介してサブビットラインSBL₃を接続し、メインビットラインMBL₂に対しては、選択トランジスタQ₅を介してサブビットラインSBL₄を接続する。同様に、各メインビットラインMBLに、次に選択されるメモリセルCに応じた書き込み電圧を印加する（データ1に対しては4V、データ0に対してはフローティング状態）。このことにより、メモリセルC₃₃及びC₃₄へのデータの書き込みが行なわれ、この2回の書き込み動作によりワードラインWL₀₁に接続するメモリセルへの書き込みが完了する。書き込み終了後、ワードラインWL₀₁の電位は接地電圧（0V）に戻す。

【0148】また、本実施例では1本のメインビットラインMBLに接続されるサブビットラインSBLを2本としているが、各メインビットラインMBLには、任意のN本のサブビットラインSBLを、対応する選択トラ

ンジスタを介して接続することができる。その場合、1本のワードラインWLを選択したとき、N回の書き込み動作によって、1本のワードラインWLに対応する全メモリセルにデータを書き込むことができる。

【0149】また、図46に示す不揮発性半導体メモリ430のように、1本のサブビットラインSBLを各メインビットラインMBLに、対応する選択トランジスタQを介して接続することができる（N=1）。図46においては、例えば、メインビットラインMBL₁には、選択トランジスタQ₁を介してサブビットラインSBL₁が接続されている。選択トランジスタQ₁及びQ₂…をオフ状態とすることにより、サブビットラインSBL₁及びSBL₂…を各々メインビットラインMBL₁及びMBL₂…から電氣的に切り離し、フローティング状態とすることができる。

【0150】この不揮発性半導体メモリ430では、1回の書き込み動作で、1本のワードラインに接続する全メモリセルにデータを書き込むことができる。しかし、この構造では1本のサブビットライン毎にメインビットラインを設けなければならず、メモリセルサイズはメタル配線のピッチで決まり、図39に示される場合と比べて、微細化には適さない。

【0151】

【発明の効果】上述のように、本発明によれば、ソース／ドレイン拡散層（ビットライン）に印加される所定の電圧において、ドレイン拡散層と浮遊ゲートとの間のみトンネル電流を流すことができるため、FNトンネル電流による書き込みを行い、且つ、仮想接地方式を採用することができる。

【0152】隣接するメモリセルに共有されるソース／ドレイン拡散層において、ソース拡散層とドレイン拡散層との間に不純物濃度差を設けることにより、ドレイン拡散層との結合領域においてのみトンネル電流が流れるように構成できる。

【0153】また、浮遊ゲート下に形成される絶縁膜に、膜厚の大きな部分（ゲート絶縁膜）と膜厚の小さい部分（トンネル絶縁膜）とを設けることにより、隣接するメモリセルでソース／ドレイン拡散層を共有していても、所定の電圧が印加された場合に、トンネル絶縁膜を

(19)

介して容量結合したドレイン側にのみトンネル電流を流すことができる。

【0154】また、比較的薄いトンネル絶縁膜が形成される領域を、全てソース／ドレイン拡散層上に配置しているため、書き込み時におけるバンド間トンネル電流の発生を大幅に低減でき、書き込み効率及びメモリセルの信頼性が向上できる。

【0155】また、ソース／ドレイン層の配置を規定するマスクに窒化膜スペーサを形成し、この窒化膜スペーサを用いてトンネル領域を規定することにより、トンネル領域を小さく形成している。そのことにより、制御ゲートの容量結合比を大きくでき、高耐圧トランジスタモジュールが不要となり、プロセスコストを低減することができる。

【0156】更に、ソース／ドレイン拡散層の配線部分、即ち、浮遊ゲートとのソース結合領域及びドレイン結合領域（トンネル領域）以外の部分を比較的厚い絶縁膜で覆うことにより、制御ゲートとビットラインとの寄生容量を減少することができる。

【図面の簡単な説明】

【図1】本発明の1つの実施例による不揮発性半導体メモリのメモリセルアレイの一部を示す平面図である。

【図2】（a）は、図1に示すメモリセルアレイのA-A断面図であり、（b）は、図1に示すメモリセルアレイのB-B断面図である。

【図3】本発明の1つの実施例による不揮発性半導体メモリのメモリセルアレイの等価回路図である。

【図4】ソース拡散層の不純物ドーザ量と、書き込み動作が非選択セルに与える影響との関係を示す図である。

【図5】本発明のもう1つの実施例による不揮発性半導体メモリのメモリセルアレイの一部を示す平面図である。

【図6】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図7】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図8】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図9】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図10】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図11】（a）～（d）は、本発明による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図12】（a）～（b）は、本発明による不揮発性半導体メモリの製造方法のもう1つの例における斜めイオン注入工程を示す図面である。

【図13】（a）は本発明の不揮発性半導体メモリにお

いて、素子分離をP-N接合により行う場合のメモリセルアレイの構成を示す平面図であり、（b）は（a）に示すメモリセルアレイのD-D断面図である。

【図14】本発明の1つの実施例による不揮発性半導体メモリのメモリセルアレイの一部を示す平面図である。

【図15】（a）は、図14に示すメモリセルアレイのA-A断面図であり、（b）は、図14に示すメモリセルアレイのB-B断面図である。

【図16】本発明の1つの実施例による不揮発性半導体メモリのメモリセルアレイの等価回路図である。

【図17】ゲート絶縁膜の膜厚と、書き込み効率（リーク電流／トンネル電流）との関係を示す図である。

【図18】本発明のもう1つの実施例による不揮発性半導体メモリのメモリセルアレイの一部を示す平面図である。

【図19】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図20】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図21】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図22】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図23】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図24】本発明の1つの実施例による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図25】本発明の1つの実施例による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図26】本発明の1つの実施例による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図27】本発明の1つの実施例による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図28】本発明の1つの実施例による不揮発性半導体メモリの製造方法の他の例におけるメモリセルの製造工程を示す図面である。

【図29】（a）は、本発明の1つの実施例による不揮発性半導体メモリにおいて、素子分離をP-N接合により行う場合のメモリセルアレイの構成を示す平面図であり、（b）は、（a）に示すメモリセルアレイのD-D断面図である。

(20)

【図30】本発明のもう1つの実施例による不揮発性半導体メモリのメモリセルアレイを示す平面図である。

【図31】(a)は、図30に示すメモリセルアレイのA-A断面図であり、(b)は、図30に示すメモリセルアレイのB-B断面図である。

【図32】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図33】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図34】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図35】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図36】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図37】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図38】本発明の1つの実施例による不揮発性半導体メモリのメモリセルの製造方法の工程を示す図面である。

【図39】本発明のもう1つの実施例による不揮発性半導体メモリのメモリセルアレイを示す平面図である。

【図40】読み出し動作におけるメモリセルの様子を説明する図である。

【図41】読み出し動作における読み出し電流（チャネル電流）とリーク電流とを示す図である。

【図42】消去動作における印加電圧を模式的に示すタイミングチャートである。

【図43】ソース/ドレイン拡散層及び半導体基板に負

電圧を印加した場合における、制御ゲートに印加する電圧の印加時間とメモリセルのしきい値電圧との関係を示す図である。

【図44】半導体基板に印加する負電圧と、メモリセルの寿命（信頼性）との関係を示す図である。

【図45】書き込み動作における印加電圧を模式的に示すタイミングチャートである。

【図46】本発明のもう1つの実施例による不揮発性半導体メモリのメモリセルアレイの他の例を示す平面図である。

【図47】ホットエレクトロン注入によって書き込みを行う従来の不揮発性半導体メモリのメモリセルアレイの一部断面を示す図である。

【図48】図47に示す不揮発性半導体メモリのメモリセルアレイの等価回路図である。

【図49】FNトンネル電流によって書き込みを行う従来の不揮発性半導体メモリのメモリセルアレイの一部断面を示す図である。

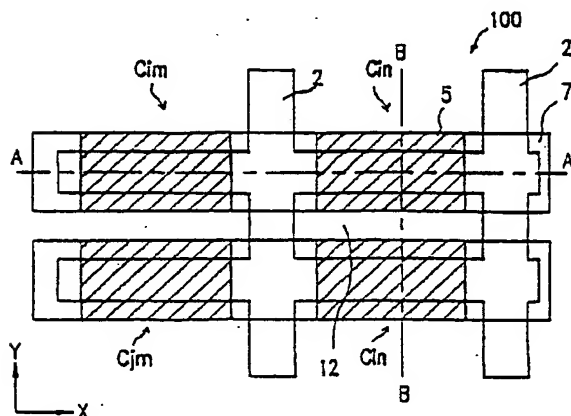
【図50】図49に示す不揮発性半導体メモリのメモリセルアレイの等価回路図である。

【図51】FNトンネル電流によって書き込みを行う従来の不揮発性半導体メモリの他の一例における等価回路を示す図である。

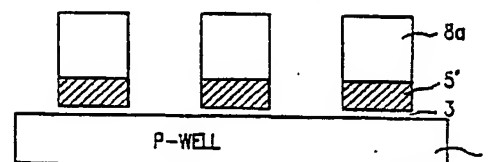
【符号の説明】

- 1 半導体基板
- 2 ソース/ドレイン拡散層
- 2 a ドレイン拡散層
- 2 b ソース拡散層
- 3 トンネル絶縁膜
- 4 ゲート絶縁膜
- 5 浮遊ゲート
- 6 ONO膜
- 7 制御ゲート
- 1 2 フィールド酸化膜

【図1】

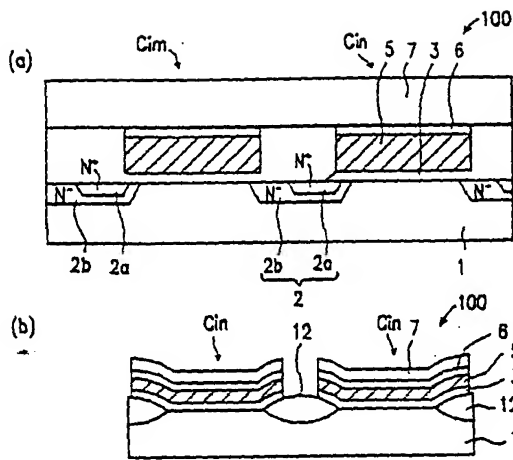


【図6】

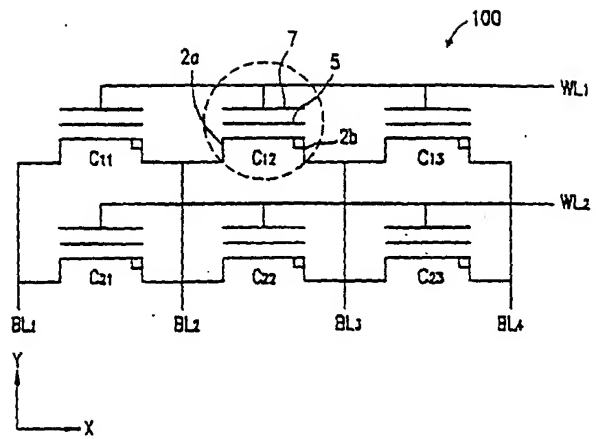


(21)

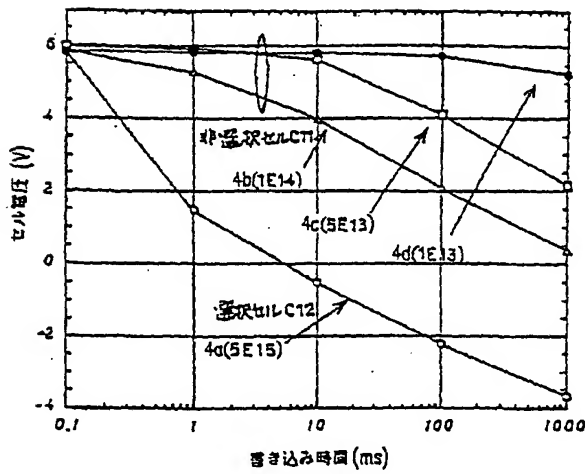
【図2】



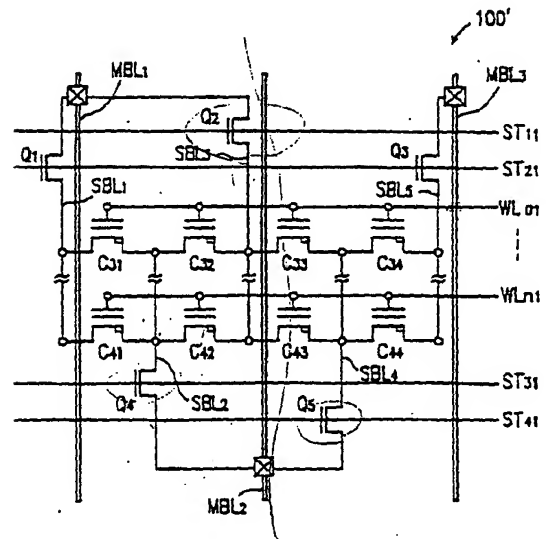
【図3】



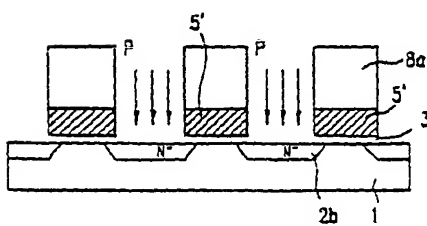
【図4】



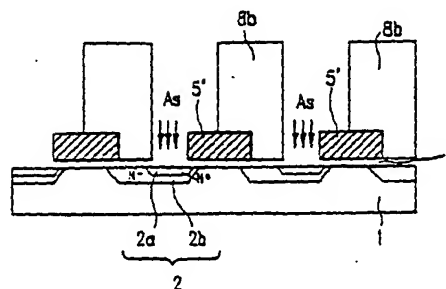
【図5】



【図7】

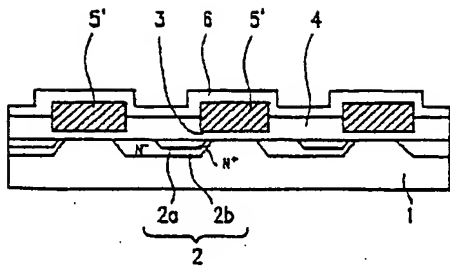


【図8】

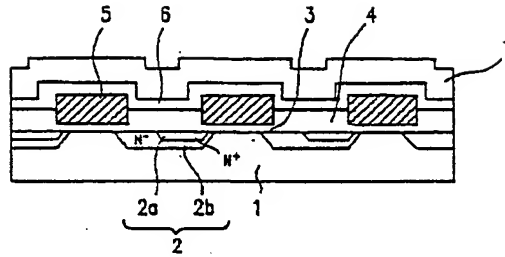


(22)

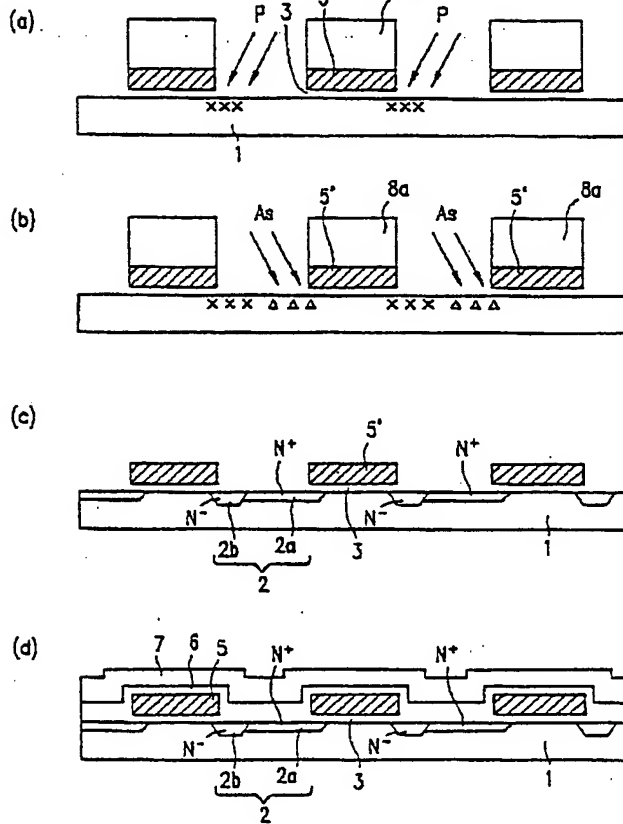
【図9】



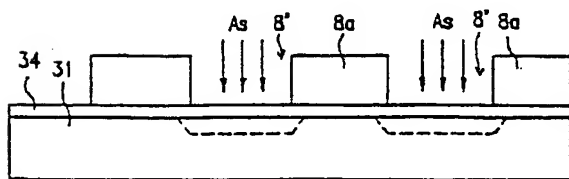
【図10】



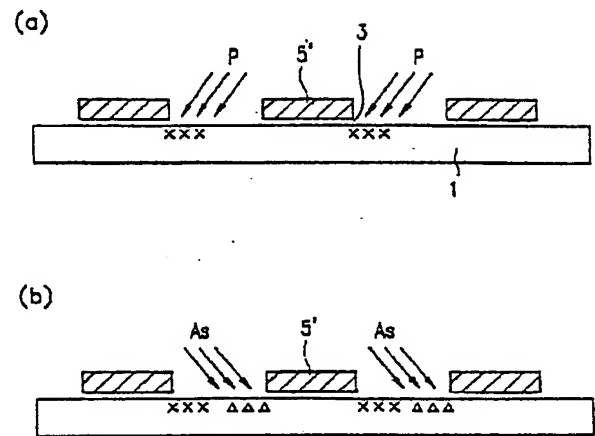
【図11】



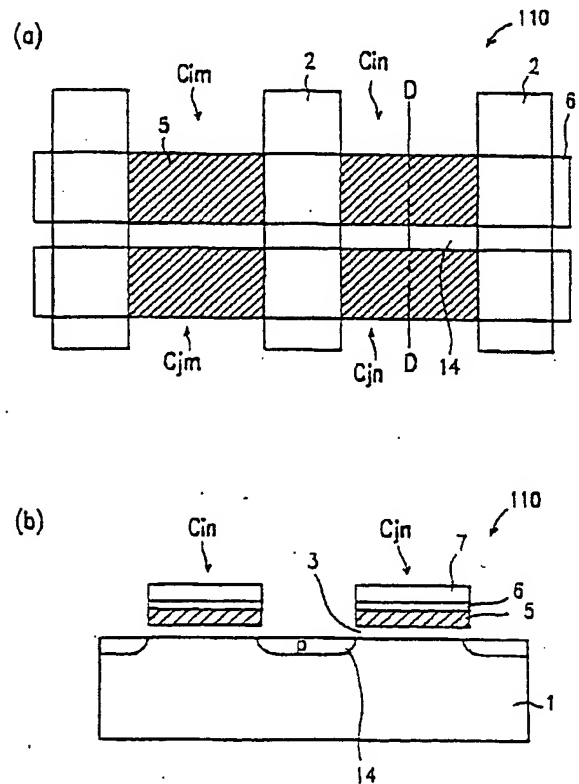
【図19】



【図12】

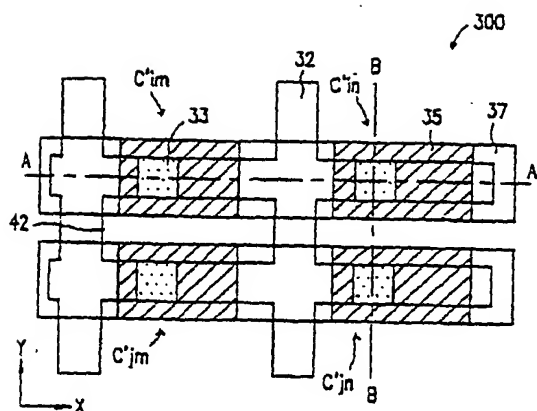


【図13】

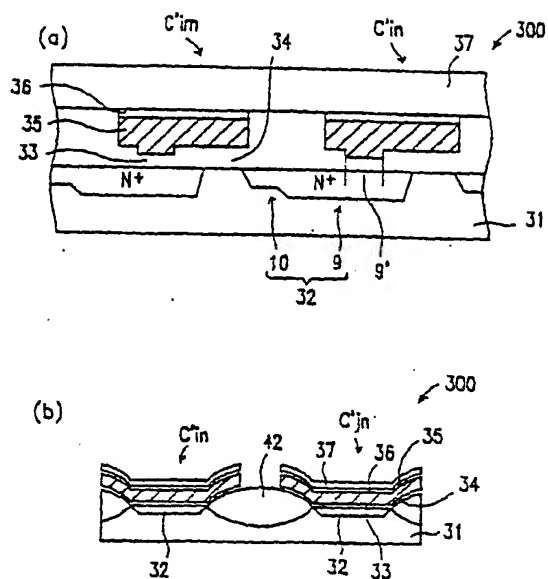


(23)

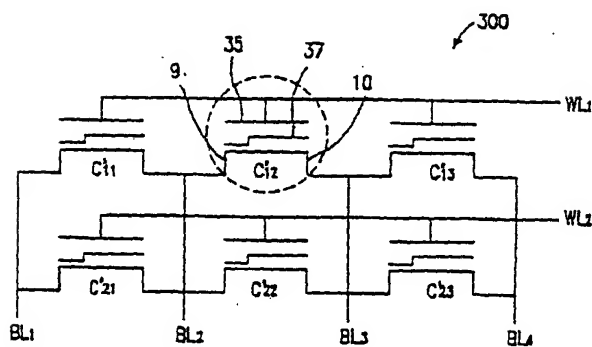
【図14】



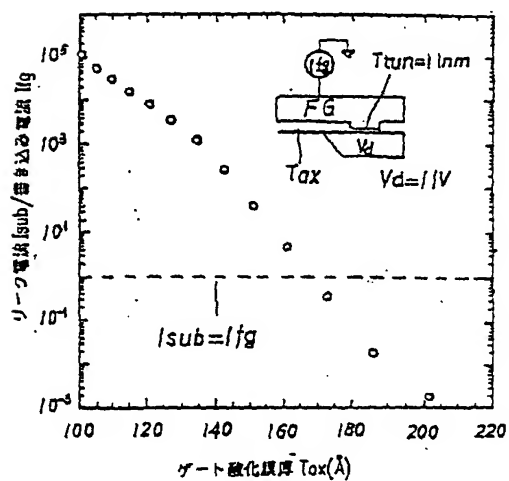
【図15】



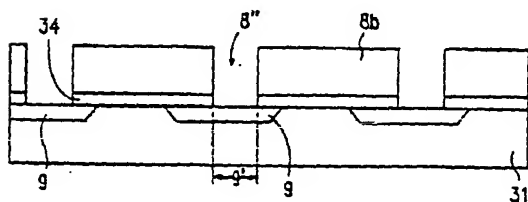
【図16】



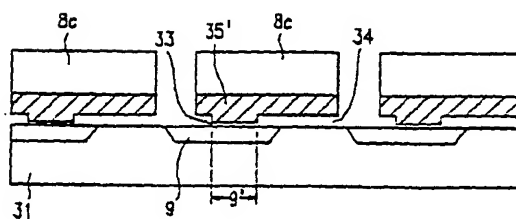
【図17】



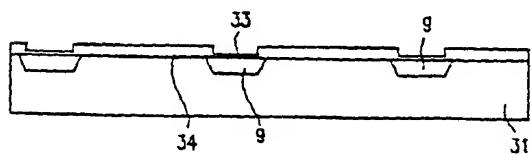
【図20】



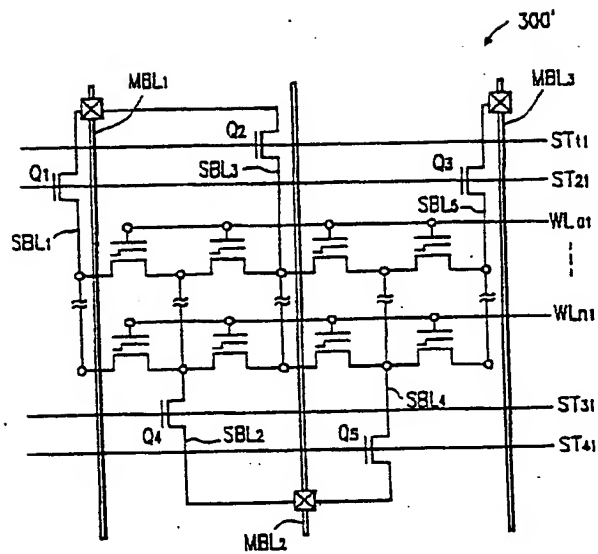
【図21】



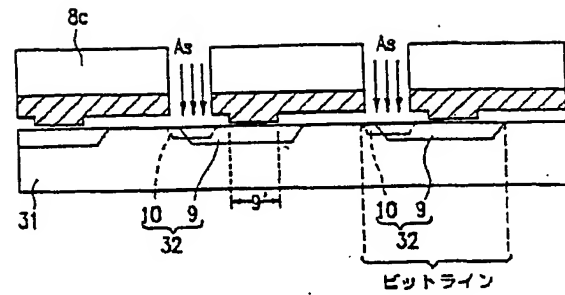
【図26】



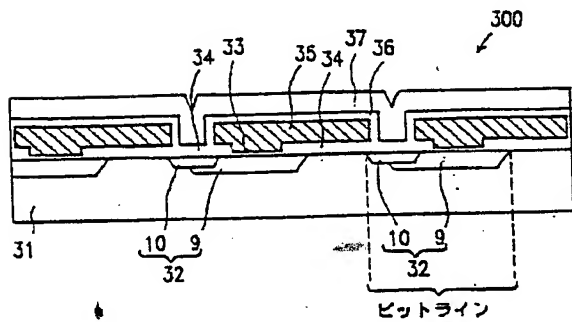
【図18】



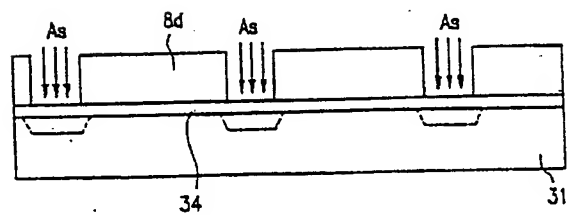
【図22】



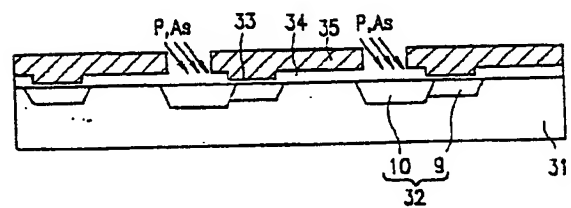
【図23】



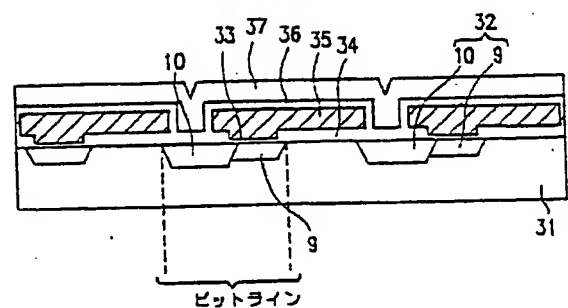
【図24】



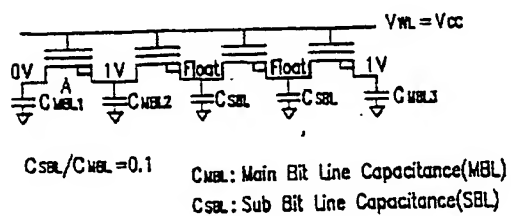
【図27】



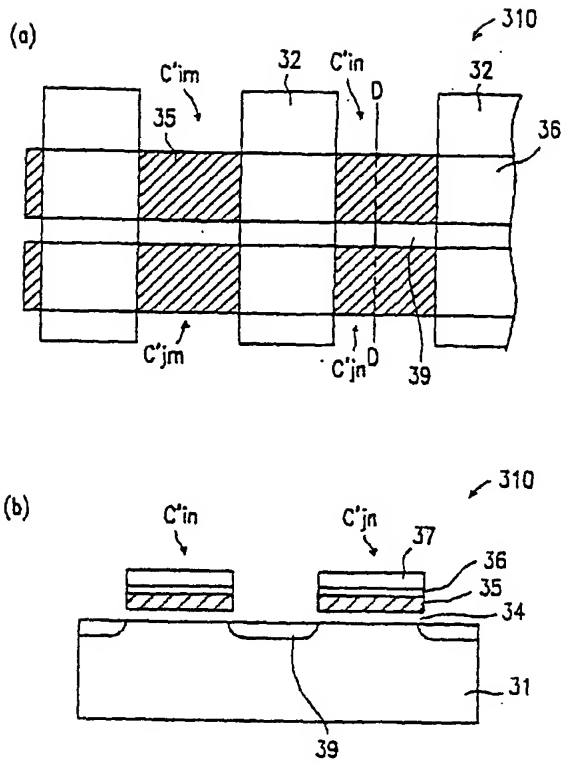
【図28】



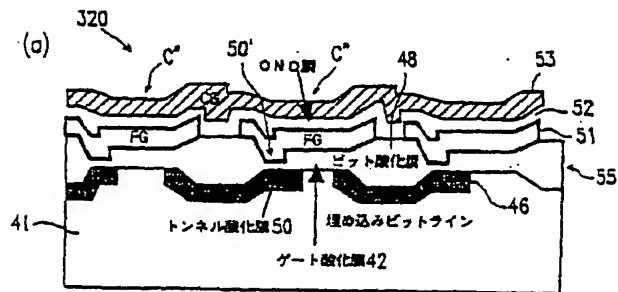
【図40】



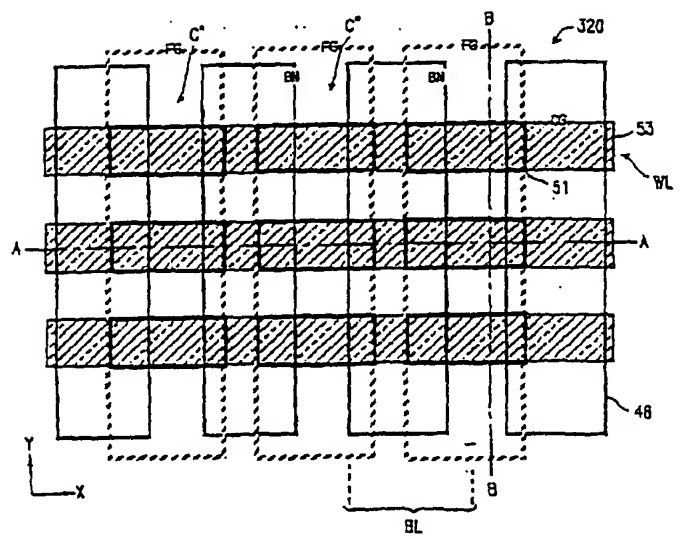
【図29】



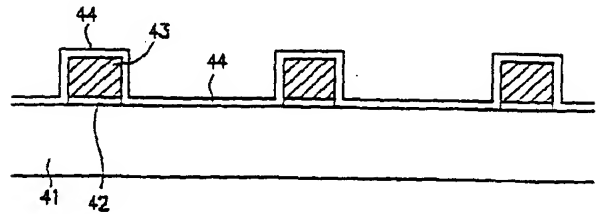
【図31】



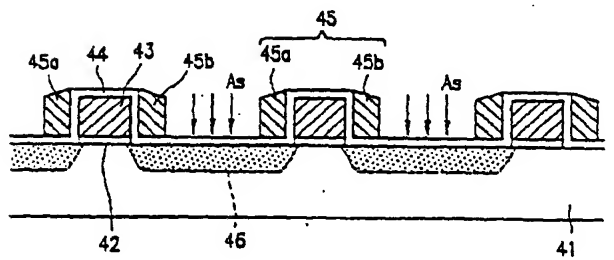
【図30】



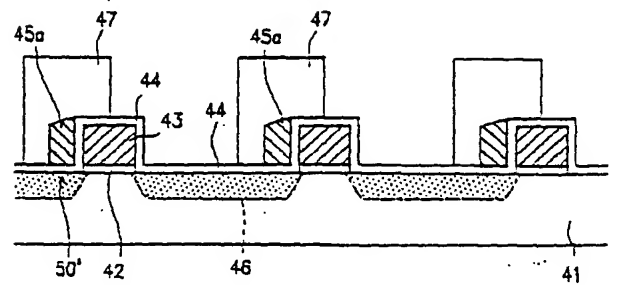
【図32】



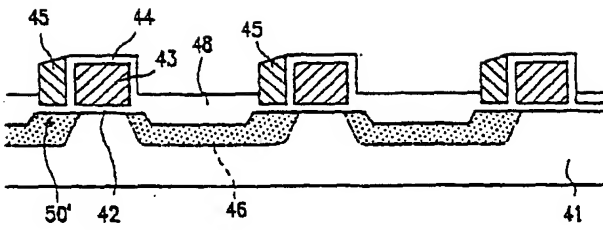
【図33】



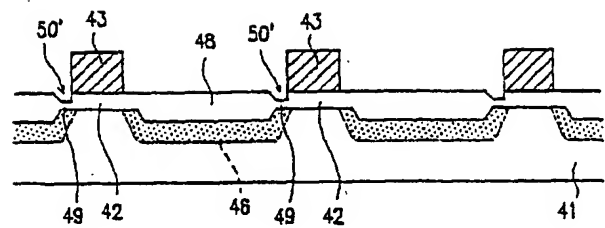
【図34】



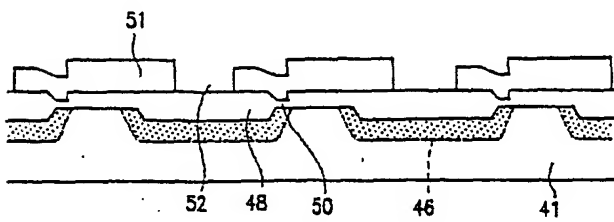
【図 3 5】



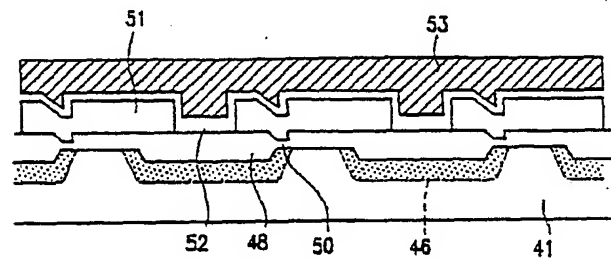
【図 3 6】



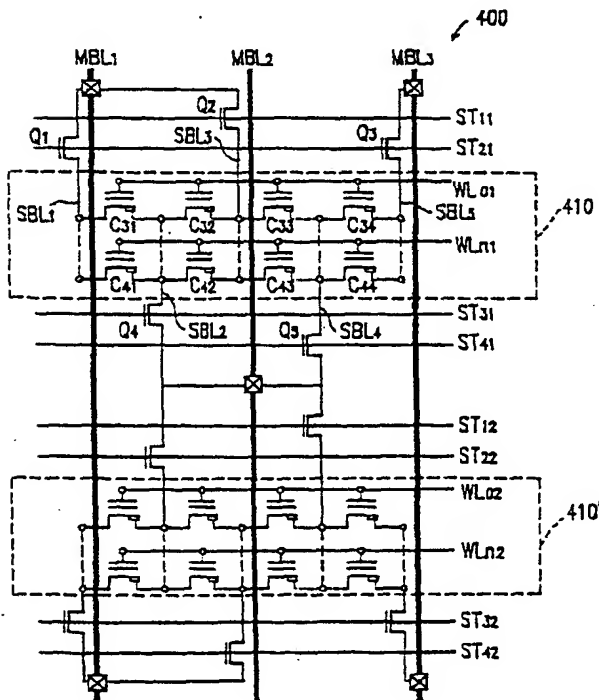
【図 3 7】



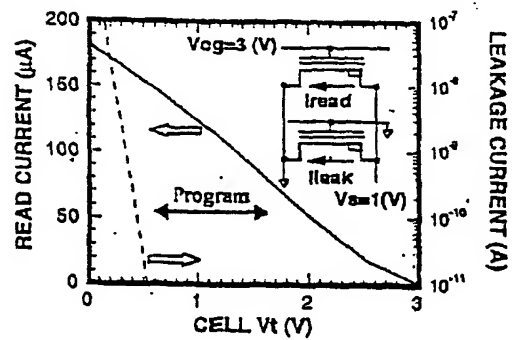
【図 3 8】



【図 3 9】



【図 4 1】



【図 4 2】

消去動作

選択ブロック STn1

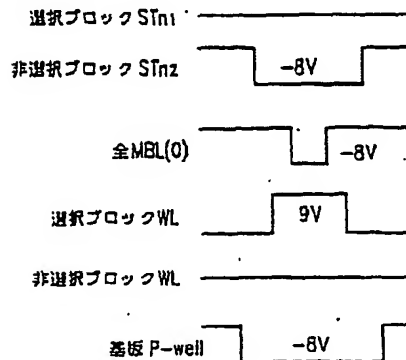
非選択ブロック STnz

全 MBL(0)

選択ブロック WL

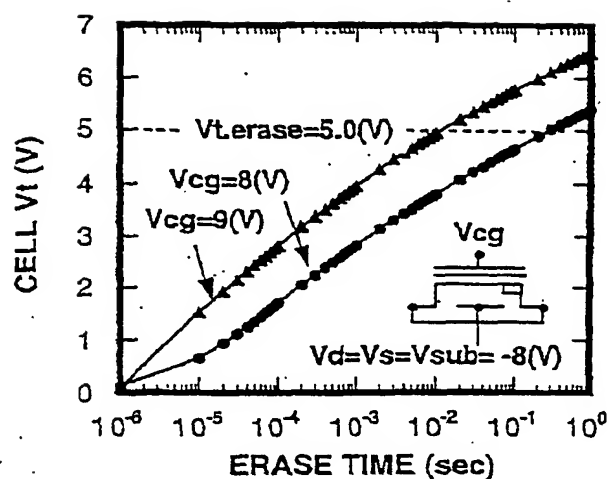
非選択ブロック WL

基板 P-well

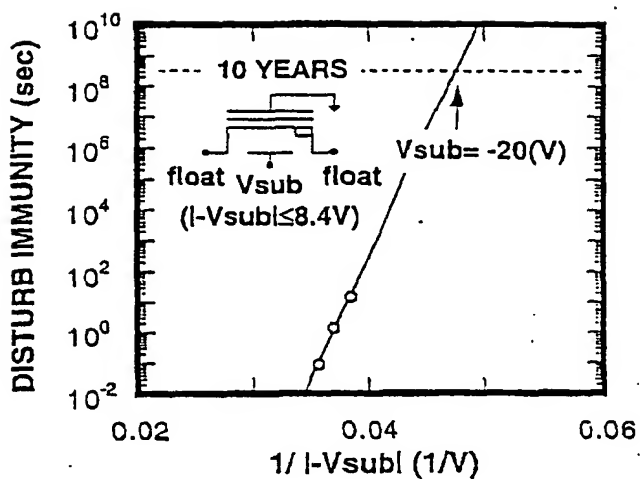


(27)

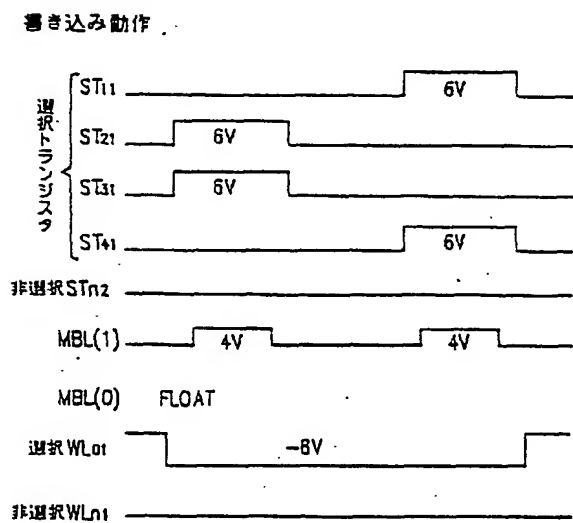
【図43】



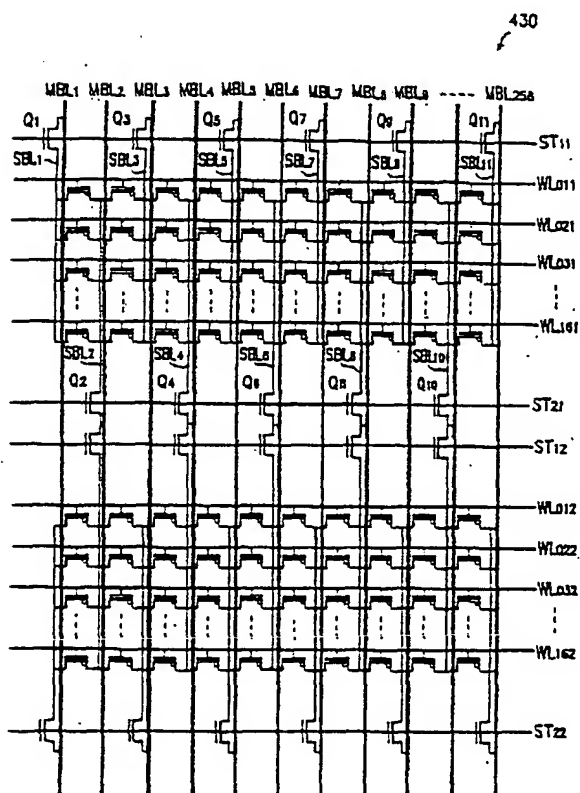
【図44】



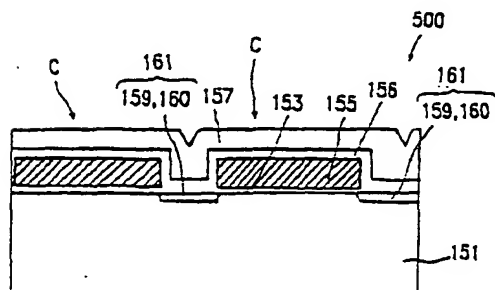
【図45】



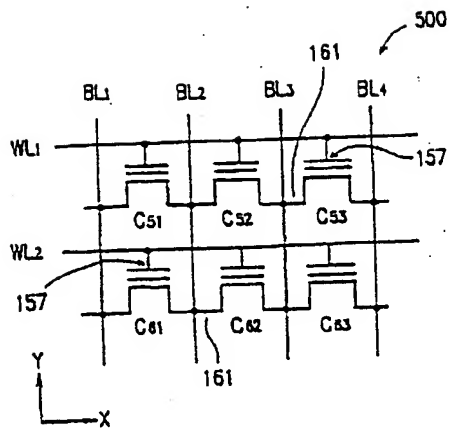
【図46】



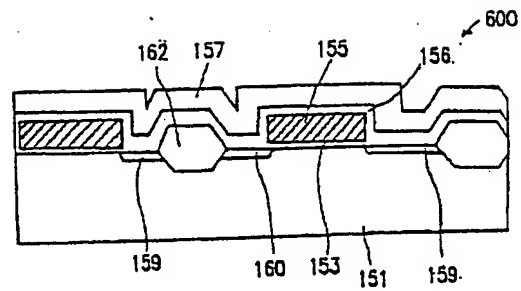
【図47】



【図 48】



【図 49】



【図 51】

【図 50】

